



Rapport de stage de 2^{ème} année
laboratoire Leprince Ringuet
IN2P3/CNRS/ Ecole Polytechnique



Sommaire :

Introduction -----	page 3
Abstract -----	page 4
Remerciements -----	page 5
I Présentation générale	
I.1Présentation du laboratoire Louis Leprince Ringuet (LLR) -----	page 6
I.2 Présentation du groupe électronique -----	page 7
I.3 Présentation du stage-----	page 8
I.4 Définition du cahier des charges -----	page 10
II Test des photomultiplicateurs	
II .1 Test des photomultiplicateurs -----	page 12
II.2 Une expérience -----	page 13
III La Carte	
III.1 Choix technologique -----	page 17
III.2 La carte H4 -----	page 17
III.3 Les récepteurs ECL -----	page 18
III.4 Les translateurs de niveaux -----	page 19
III .5Les Translateurs de niveaux TTL/NIM -----	page 23
III.6 Les visualisations de test de la carte -----	page 26
III.6.a Les visualisations des sorties du CPLD-----	page 26
III.6.b Les visualisations de test de la carte-----	page 28
III.7 La liaison PC /Carte-----	page 29
III.8 La schématique -----	page 30
III.9 Le composant programmable -----	page 34
III.9.a La logique de trigger-----	page 34
III.9.b Génération du signal de blocage -----	page 35
III.9.c''Blocage''des données -----	page 36
III.9.d La conception du circuit programmable -----	page 36
III.9.e Conception de la logique par FPGA-----	page 37
III.9.f Conception de la logique par CPLD -----	page 38
III.9.g Conception de la logique par CPLD seconde version -----	page 40
III.9.h Les fonctions de test du CPLD-----	page 42
III.9.i Choix du composant programmable -----	page 43

III.10 Le Circuit imprimé -----	page 43
III.10.a Le circuit imprimé -----	page 43
III.10.b Le Placement des composants -----	page 44
III.10.c Le routage-----	page 46
III.11 Le coût -----	page 48

IV Conclusion-----	page 49
---------------------------	----------------

V Bibliographie -----	page 50
------------------------------	----------------

VI Table des illustrations -----	page 52
---	----------------

Introduction

J'ai eu la chance de travailler pendant trois mois comme stagiaire au sein du laboratoire Leprince Ringuet (LLR) de l'Ecole Polytechnique. Le LLR a décidé de s'impliquer fortement dans l'étude de nouveaux détecteurs pour le futur collisionneur linéaire TESLA en participant, notamment, à la réalisation du calorimètre électromagnétique et du calorimètre hadronique. Ce projet n'est, à l'heure actuelle, qu'en phase de faisabilité. J'ai donc eu le plaisir de participer à la mise en œuvre d'un dispositif de test appelé hodoscope, devant permettre d'étudier et d'étalonner un module prototype du calorimètre électromagnétique. Ce stage a alors été l'occasion d'appliquer les notions d'électronique apprises pendant ma scolarité à l'IUT d'Evry et d'utiliser mes connaissances dans le but de réaliser (étude et conception comprise), avec l'aide d'ingénieurs et techniciens du groupe d'électronique, une carte électronique pour cette hodoscope.

Ce document a pour objectif de vous présenter le cadre technique et humain ainsi que le travail effectué au cours de ces trois mois de stage.

Ainsi dans la première partie de ce rapport, après une brève présentation du laboratoire et de son groupe d'électronique, je vous présenterai le cadre général de l'expérience à laquelle j'ai participé pour aboutir enfin au cahier des charges de ma principale réalisation : la carte électronique 'hodotrig'.

Dans la deuxième partie, je présenterai des tests préliminaires effectués sur les photomultiplicateurs et plan de scintillateurs. La troisième partie, la plus importante, sera entièrement dédiée à ma principale réalisation, c'est-à-dire la carte 'hodotrig'.

Enfin, avant de conclure, dans la quatrième partie j'effectuerai une synthèse de ces trois mois de stage très enrichissant tant du point de vue technique que du point de vue humain au laboratoire Leprince Ringuet.

	Rapport de stage de 2^{ème} année laboratoire Leprince Ringuet IN2P3/CNRS/ Ecole Polytechnique	
---	---	--

Abstract

I had the opportunity to be on probation at the laboratory Leprince Ringuet (LLR) at Ecole Polytechnique.

During three months. I was able to use the knowledge in electronics given by the IUT d'Evry. The aim was with the engineer's staff's help, the achievement of an measuring and calibrating device thought test a new detector in the Tesla project. Which his up to now in a preliminary phase.

The LLR is highly involved in the project by taking place in coming out of the Electromagnetical calorimeters (Calice) and the hadronic calorimeters. My work was to set in order a test for Electromagnetical calorimeters.

This document will present the technical and human bounds within I worked during these three months to realise an electronic card.

As though, I shall shortly present the LLR and more specially the electronic staff. Then I shall explain the different works done during this probation time.

At the end, a synthesis on the three months, which were great if interest as well on a technical or human point of view.

	Rapport de stage de 2^{ème} année laboratoire Leprince Ringuet IN2P3/CNRS/ Ecole Polytechnique	
---	---	--

Remerciements

Tout d'abord je tiens à remercier Monsieur Henri Videau, directeur du laboratoire Leprince Ringuet, pour m'avoir accueilli dans son laboratoire.

Je remercie aussi Monsieur Akli Karar qui a accepté de m'accueillir dans le service électronique du laboratoire et qui a toujours été là pour répondre à mes questions.

Je remercie aussi Monsieur Vanel mon tuteur de stage qui a su être à l'écoute et répondre à mes questions durant mon stage il a montré une grande patience vis-à-vis de mon inexpérience dans certain domaine. Je le remercie de m'avoir appris énormément.

Je n'oublie pas non plus l'accueil chaleureux que m'a réservé l'équipe que se soit les chercheurs les techniciens et les ingénieurs.

Merci aussi à Eric Beyer, Ahmid Khaled, Pascal Manigot et tous les autres qui ont fait de mon stage un moment agréable.

Je leur suis reconnaissant de l'aide qu'il ont su m'apporter pour m'intégrer à la vie de leur laboratoire.

MERCİ A TOUS

I Présentation générale

I.1 Présentation du laboratoire Louis Leprince Ringuet (LLR)

Le Laboratoire **Leprince-Ringuet** (LLR) est situé dans l'enceinte de l'Ecole Polytechnique à Palaiseau (91). C'est le plus ancien laboratoire de l'Ecole. Il a été fondé en 1936. Le laboratoire est une unité mixte de recherche (UMR 7638). Il dépend de deux administrations. Il dépend de l'Institut National de Physique Nucléaire et de Physique des Particules (**IN2P3**) du Centre National de la Recherche Scientifique (**CNRS**) et de l'**Ecole polytechnique**. Les principaux axes de recherche du laboratoire sont d'une part la physique des particules avec différentes expériences (CMS CALICE) qui ont lieu auprès d'accélérateurs de particules comme au CERN (Suisse), DESY (Hambourg, Allemagne) SLAC (Stanford, USA). d'autre part l'astrophysique avec différentes expériences comme (HESS, CELESTE).

Pour réaliser ses expériences le laboratoire a besoins de grand détecteurs d'une grande complexité c'est pourquoi l'actuel directeur Monsieur Henri Videau dispose de 119 personnes (physiciens, ingénieurs, techniciens) réparties en cinq groupes : un groupe de physiciens, d'informatique, de mécanique, d'électronique et un groupe administratif.

Ici nous allons effectuer un petit descriptif des différents groupes :

Le groupe des physiciens est composé de 24 personnes physiciens et astrophysicien qui exploitent les résultats des expériences.

Le groupe mécanique est composé de 19 ingénieurs et techniciens repartis en quatre sous groupe un groupe de projet, un bureau d'étude, un atelier, un service général.

Le groupe informatique est composé de 15 personnes dont 10 assurent le développement informatique pour les expériences (logiciel).

Le groupe administratif est composé de 7 personnes qui assurent le bon fonctionnement du laboratoire. Il y a un comptable, un responsable du personnel et un responsable de communication par exemple.

Voyons plus en détail le groupe électronique.

I.2 Présentation du groupe électronique

Le groupe d'électronique comprend 17 ingénieurs et techniciens, dont Monsieur Karar responsable du groupe électronique et Monsieur Vanel responsable de mon stage dans le laboratoire. Deux spécialistes sont chargés de la conception des cartes. Deux autres sont plus spécialement en charge du câblage des prototypes et des petites séries produites au laboratoire.

Le groupe a plusieurs missions à réaliser.

La première est de répondre aux demandes des physiciens concernant soit la préparation de nouvelles expériences, soit la modification d'expérience en cours. Le groupe électronique assure la conception, la réalisation et la maintenance des systèmes électroniques.

La seconde est la réalisation d'appareil de mesure et d'instrumentation. Pour cela on peut citer les différents domaines techniques abordés :

- ❖ L'étude de détecteurs de particules (instrumentations).
- ❖ Le traitement analogique rapide et à bas bruit.
- ❖ Le contrôle d'équipements instrumentaux et l'acquisition de données par ordinateur.
- ❖ La transmission de données à haute vitesse sur fibres optiques.
- ❖ La définition et la mise en oeuvre de bancs de mesures et de tests.
- ❖ Les systèmes de déclenchement sélectifs rapides ("Trigger").

I.3 Présentation du stage

L'origine de ce projet est la mise œuvre d'un appareil de mesure qui va permettre aux physiciens et ingénieurs de tester et d'étalonner un prototype d'un calorimètre Electromagnétique. Mais d'abord voyons qu'est ce qu'un calorimètre électromagnétique. Un calorimètre est un appareil qui donne la trajectoire et l'énergie des particules qui le traverse. Lorsqu'une particule traverse le calorimètre électromagnétique, elle crée par excitation du matériau (silicium) une paire électron trou. Cette information est mesurable lorsqu'on applique une différence de potentiel aux bornes de chaque pixel (partie du détecteur). Le phénomène se reproduit dans chaque pixel traversé par la particule. Il permet ainsi de reconstituer la trajectoire de la particule en fonction des pixels touchés. La trajectoire de la particule est une droite dans la mesure où il n'y a pas de champs magnétique intense ou si la particule n'est pas chargée. Il suffit donc d'avoir deux points dans l'espace pour déterminer sa trajectoire.

Pour étalonner le calorimètre électromagnétique il nous faut une référence d'énergie. On utilise les particules qui viennent de l'espace (particule cosmique) car ce sont des particules qui en traversant une même épaisseur de matière déposent en moyenne toujours la même quantité d'énergie. C'est une source constante et connue. Les particules cosmiques arrivent sur terre à raison 1 particule .s⁻¹.cm⁻².

L'hodoscope voir figure 1 est un appareil qui sert à détecter le passage de particule, et qui détermine sa trajectoire. Il est composé de quatre plans qui permettent de définir les coordonnées de passage des particules et donc leur trajectoire. Cet appareil convient donc pour tester la détection de trajectoire du calorimètre électromagnétique. Il suffira de comparer les informations sur la position (trajectoire) des particules entre l'hodoscope et le calorimètre électromagnétique.

On déclenchera une acquisition du calorimètre électromagnétique lorsque l'hodoscope aura détecté le passage d'une particule.

Voyons comment l'hodoscope détecte le passage d'une particule.

L'hodoscope détecte le passage d'une particule grâce à des plans de scintillateurs (4 plans de 16 scintillateurs). Les scintillateurs utilisent le phénomène de luminescence, ce qui signifie que la particule que l'on veut détecter va exciter des atomes ou des molécules dans le scintillateur qui ensuite vont émettre de la lumière (photons). Ces scintillateurs sont le plus souvent des cristaux semi-conducteurs ou de matière organique (plastique).

Cette lumière (photons) est en suite dirigée vers les photomultiplicateurs. Les photomultiplicateurs possèdent une photocathode qui transforme le photon en un électron avec une efficacité quantique de l'ordre de 20 % (efficacité quantique : c'est à dire le nombre d'électrons émis pour n photons incidents par seconde.). Cette efficacité dépend de la longueur d'onde. Elle chute pour les grandes

longueurs d'onde et au-delà de 600 à 800 nm elle est nulle. Pour un PM courant on compte une efficacité maximum pour les longueurs d'ondes de 400 à 440 nm.

Les photomultiplicateurs sont aussi définis par leur gain. Dans notre cas le gain est d'environ 10^6 , c'est à dire que pour un photon qui arrive sur la photocathode il arrive 1 million d'électrons sur la cathode à la sortie du photomultiplicateur. Lorsqu'une particule traverse les quatre plans, un signal de Trigger est généré afin de déclencher l'acquisition pour le calorimètre électromagnétique.

Mon stage consiste à mettre en œuvre une partie électronique de l'hodoscope. Cette partie consiste d'une part à générer le signal de trigger et d'autre part à récupérer la trajectoire de la particule en récupérant qu'elle scintillateur a répondu positivement.

Particule Cosmique

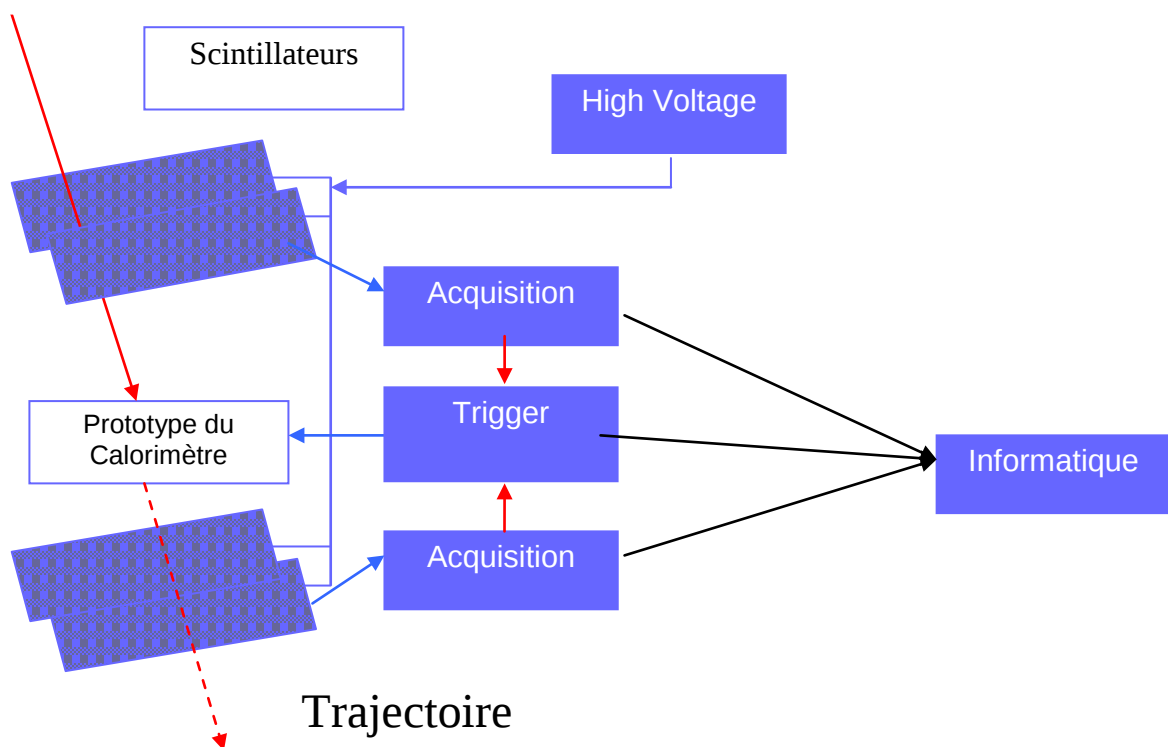


Figure 1: principe de fonctionnement de l'hodoscope.

La principale contrainte est une contrainte temporelle. Le signal de trigger doit être fourni au calorimètre électromagnétique avant 180 ns pour pouvoir déclencher une acquisition (voir figure 2). Nous arrivons au synoptique suivant :

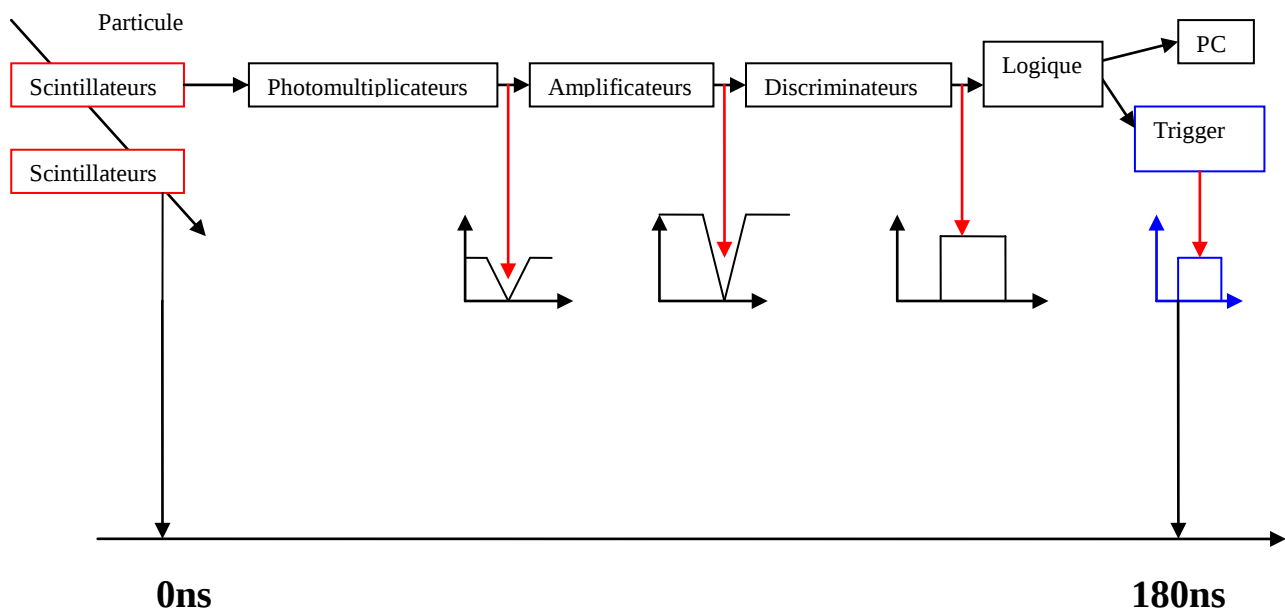


Figure 2 : synoptique de la chaîne d'acquisition.

I.4 Définition du cahier des charges.

Nous allons décrire le cahier des charges de la carte en débutant par ses entrées :

- La carte reçoit les soixante quatre informations venant des scintillateurs (16 scintillateurs par plan), photomultiplicateurs après amplification et discrimination sous la forme de signaux différentiels en ECL.

Pour les sorties :

- fournir un signal de Trigger à un DUAL TIMER au standard NIM. Cette information doit être fournie avant 180 nanosecondes.

- La carte doit pouvoir dialoguer avec un PC afin de savoir qu'elle scintillateur à été touché sur chaque plan (64 bits à lire).

Deux modes de fonctionnement ont été demandés : un mode automatique et un mode manuel. En mode automatique, qui est le mode normal, les photomultiplicateurs sont connectés aux entrées. Le mode manuel doit permettre de générer des signaux provenant de chaque plan sans que les photomultiplicateurs soient connectés afin de simuler le passage d'une particule.

Il faut aussi fabriquer un signal interne de veto qui doit bloquer l'acquisition juste après le passage d'une particule à travers les quatre plans pour pouvoir avoir le temps de traité l'information (reconstitution de la trajectoire) même si une nouvelle particule traverse les quatre plans. Dans ce cas le dernier évènement ne sera pas traité.

Enfin le système doit être évolutif (facilement modifiable). C'est-à-dire qu'il soit possible d'apporter des modifications sur l'algorithme de trigger.

Les dimensions de la carte doivent être de 175x175 mm².

II Test des photomultiplicateurs

II .1 Test des photomultiplicateurs

Mon premier travail au cours de mon stage a été de vérifier et modifier le câblage des photomultiplicateurs. Ceux ci sont de la marque Photonis référence XP1911 et la base du tube est du même fabricant référence VD108/04. Les photomultiplicateurs sont des objets qui transforment des photons en électrons avec un gain très important (de l'ordre du million).

Le principe du photomultiplicateur est très simple : une couche photosensible transforme le photon en un électron. Les différentes dynodes sont polarisées par des jeux de résistances, créant ainsi une différence de potentiel. L'électron est alors accéléré par différence de potentiel de dynode en dynode, se multipliant par des chocs, en créant des électrons secondaires jusqu'à l'anode finale où le signal utile est récupéré sur câble 50Ω pour des raisons d'adaptation d'impédances. La consommation d'un photomultiplicateur est très faible et est de l'ordre du milliampère en moyenne. La tension de sortie varie donc en fonction du nombre de photon qui touchent la photocathode. Les photomultiplicateurs nécessitent d'être polarisés avec une haute tension. Par exemple dans notre cas Les photomultiplicateurs possèdent 10 dynodes et leur gain est maximal (10^6) lorsque la tension d'alimentation est de 1200 V. Enfin leur efficacité quantique est le l'ordre de 20% pour une longueur d'onde de 440 nm. La durée de l'impulsion est de l'ordre de quelques 20 nanosecondes.

Les photomultiplicateurs sont très sensibles à la lumière du jour (risque de destruction) qui apporte trop de photons et aux champs électromagnétique. Ils sont donc protégés par du scotch noir et du MU métal : le scotch noir pour les protégés de la lumière et le Mu métal contre les champs électromagnétique (*Figure 6*). Le photomultiplicateur a un bruit propre qui dépend de la température, on peut parfois observer des impulsions parasites. En effet un électron peut s'arracher tout seul de la couche photo sensible. Ces impulsions parasites ne doivent pas être prises en compte dans le traitement numérisé du signal d'où la nécessité d'utiliser des discriminateurs.

La *figure 3* nous montre un signal obtenu à la sortie du photomultiplicateur lorsqu'une particule traverse le scintillateur.



Rapport de stage de 2^{ème} année
laboratoire Leprince Ringuet
IN2P3/CNRS/ Ecole Polytechnique

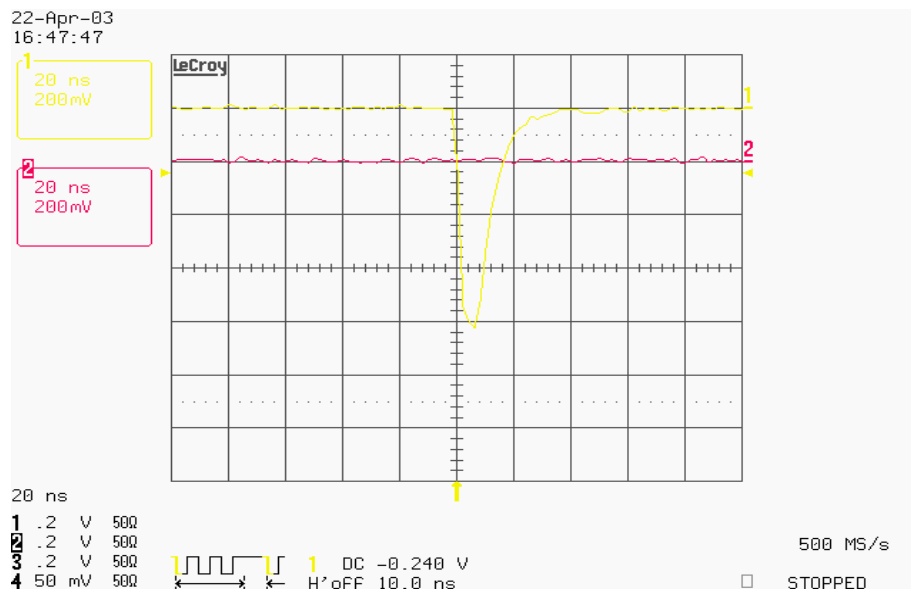


Figure 3 : détection d'une particule cosmique par le couple scintillateur photomultiplicateur. On peut remarquer une amplitude maximum de 800 mV sur une durée d'environ 25 ns (abscisse : 20ns/div, ordonnée 200mV/div.).

II .2 Une expérience

La deuxième étape a été la réalisation d'une expérience dont le but est de montrer que c'est **une** particule qui traverse deux scintillateurs. On superpose deux plans de photomultiplicateurs (voir figure 7). A la sortie de l'un, on rajoute un câble. Dans celui-ci, la durée de transit est connue. Si on enregistre bien un seul événement sur les deux photomultiplicateurs, le signal va être décalé du temps de transit dans le câble (à l'erreur près de la résolution de l'oscilloscope, ici 2 ns). Si ce décalage est différent de 8 ns, c'est que l'événement enregistré n'est pas le même c'est-à-dire qu'il n'est pas du au passage d'une même particule sur les deux scintillateurs mais lié par exemple à l'arrachage d'un électron sur la photocathode.

Le test montrant les signaux obtenus par le passage d'une particule avec un câble de 8 ns est présenté figure 4. Les traces sont obtenues en utilisant un mode Smart Trigger. Le Smart trigger est une fonction de l'oscilloscope qui permet de déclencher l'acquisition de l'oscilloscope seulement lorsque qu'une voie est touchée et que la deuxième est touché avant un temps fixé (ici 50 ns).



Rapport de stage de 2^{ème} année
laboratoire Leprince Ringuet
IN2P3/CNRS/ Ecole Polytechnique

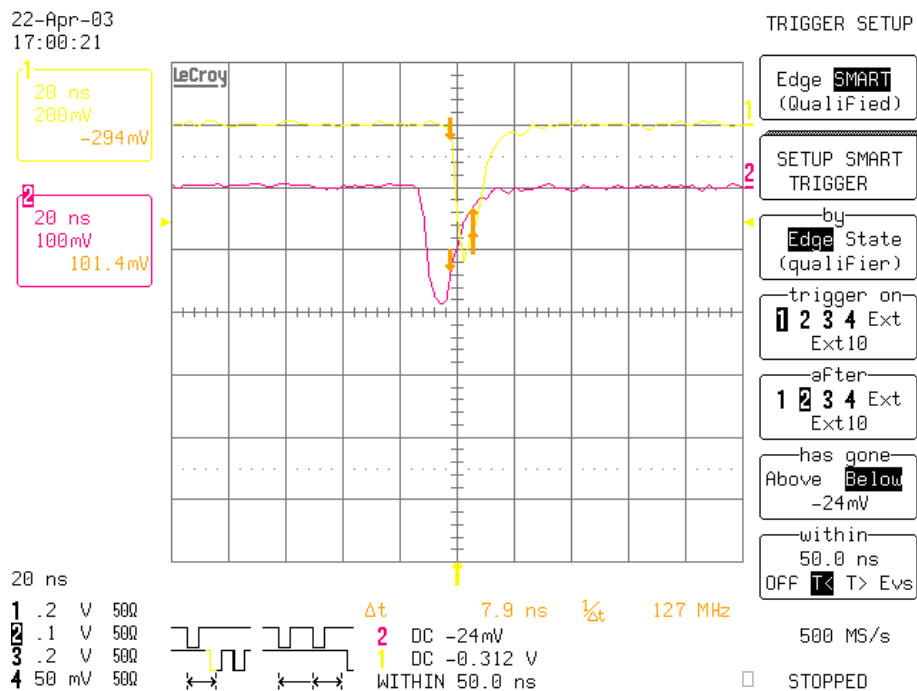


Figure 4 : détection d'un événement (passage d'une particule cosmique) avec un câble plus long de 8 ns sur l'une des voies. On mesure une différence de 7.9 ns donc (à l'incertitude près) on a bien enregistré le même événement (abscisse : 20 ns/div., ordonnée : 200 mV/div. et 100 mV/div.).

Sur la figure 4, on peut observer une différence entre les deux signaux de 7,9 ns ce qui au erreur près de mesure correspond à la différence de longueur des câbles. Il s'agit donc probablement d'une même particule qui a traversée les deux scintillateurs. On remarque aussi une différence d'amplitude entre les 2 signaux qui est due d'une part à une efficacité de collection des photons différentes entre les deux photomultiplicateurs et d'autre part à des gain différents. En effet le gain de chaque photomultiplicateur varie en fonction de différents paramètres tels que la tension d'alimentation et l'âge du tube. On retrouve bien la même forme de signal mais d'amplitude assez fortement atténuée (420 mV à 180 mV) soit une atténuation de 3.56dB. Il faudra donc ajuster la haute tension sur chaque photomultiplicateur pour obtenir des signaux à peu près tous équivalents en amplitude.

Pour valider ces mesures on utilise une autre longueur de câbles comme représentés sur la figure 5 ou nous avons utilisé un câble de 5 ns.



Rapport de stage de 2^{ème} année
laboratoire Leprince Ringuet
IN2P3/CNRS/ Ecole Polytechnique

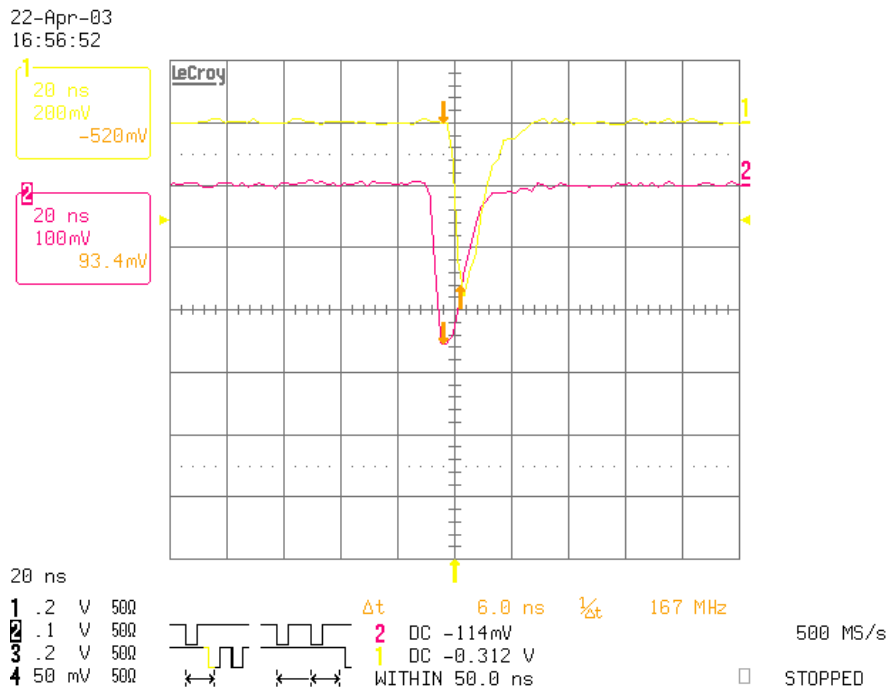


Figure 5 : détection d'un événement (passage d'une particule cosmique) avec un câble plus long de 5 ns sur l'une des voies. On mesure une différence de 6 ns donc (à l'incertitude près) on a bien enregistré le même événement (abscisse : 20 ns/div., ordonnée : 200 mV/div et 100 mV/div.).

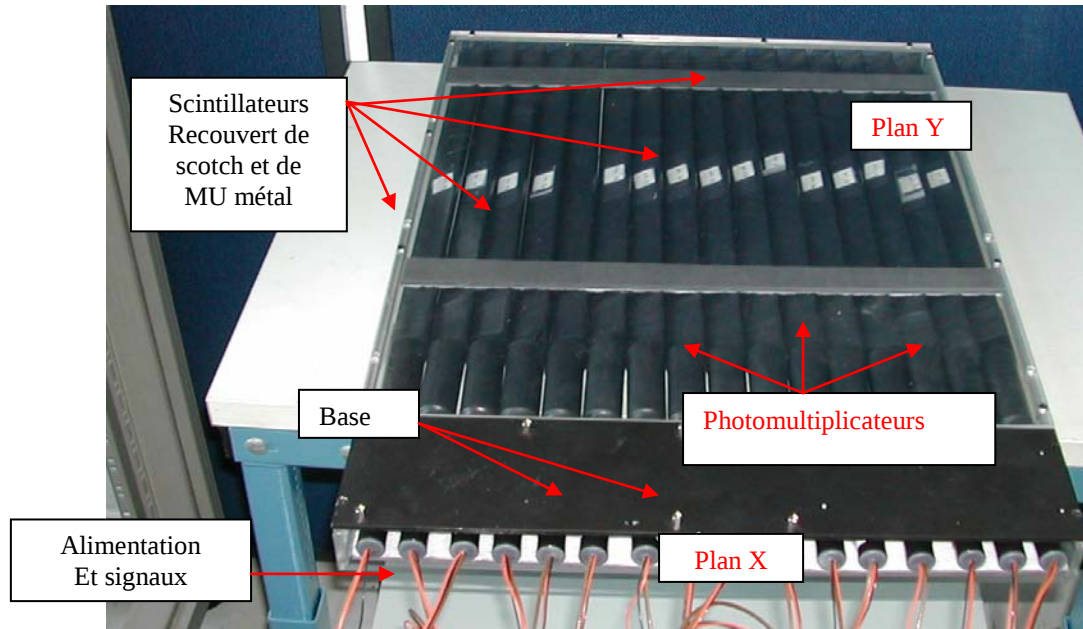


Figure 6 : un plan de photomultiplicateurs complet.

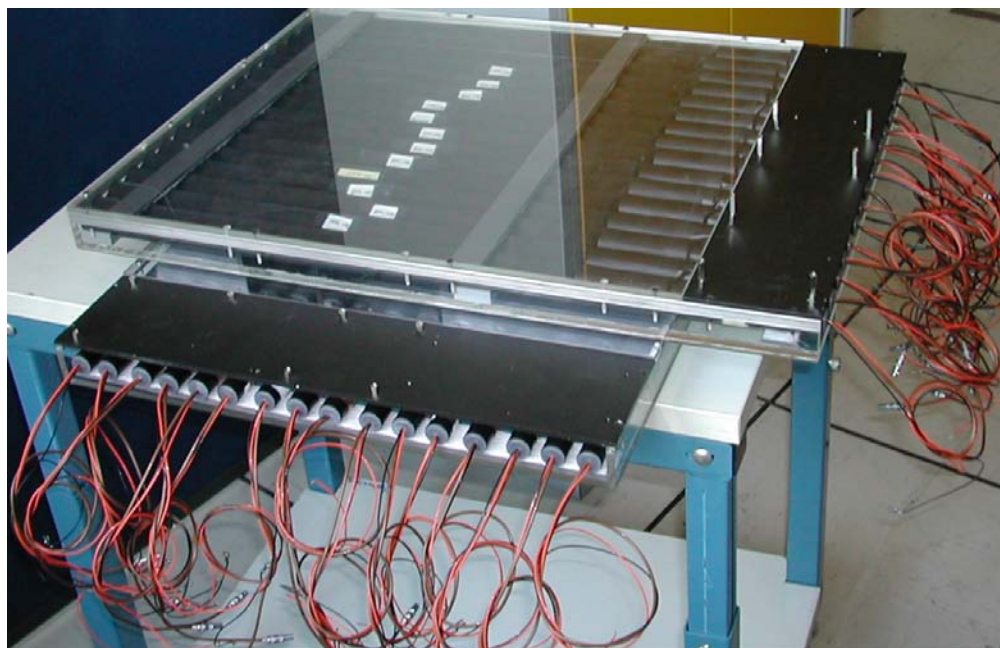


Figure 7 : deux plans de photomultiplicateurs complets utilisés lors de l'expérience.

III La Carte

III.1 Choix technologique

Pour répondre au cahier des charges il nous a fallu faire des choix technologiques. La technologie ECL nous était imposée par la carte des amplificateurs et discriminateur. Nous avons adapté notre carte en ajoutant des récepteurs ECL et des translateurs de niveaux dans la mesure ou nous voulons utiliser une technologie TTL.

Pour la possibilité d'évolution de la carte nous avons choisit un circuit programmable de type FPGA ou CPLD car ils offrent la possibilité de modifier l'algorithme de trigger. Le circuit programmable nous permet de concevoir les deux modes de fonctionnement (automatique et manuel) plus la logique de blocage.

En revanche pour le signal de Trigger il nous a fallu adapter les niveaux pour les rendre compatibles avec le DUAL TIMMER à la norme NIM (voir tableau 4).

Pour la communication avec le PC une liaison USB est choisie de par sa simplicité d'utilisation et son faible coût.

III.2 La carte H4

Comme nous l'avons vu dans la partie concernant les photomultiplicateurs, la tension des signaux fournie par ceux-ci est insuffisante pour pouvoir être traitée convenablement. Il faut donc utiliser des amplificateurs (un par voie, c'est-à-dire 64) et un système de déclenchement à seuil afin de pouvoir réaliser un circuit logique de Trigger et supprimer les impulsions de faible amplitude due au bruit des photomultiplicateur.

La carte H4 déjà existante est donc composée d'un amplificateur de type « Shaper » dont on peut modifier le gain. De plus, elle est équipée de discriminateurs à seuil réglable par voie. Les réglages seront effectués lors des tests finaux car nous n'avons pas encore eu le temps de le faire. Cette carte H4 est actuellement utilisée pour les expériences H4 sur l'accélérateur de particules du C.E.R.N. Nous pouvons donc l'utiliser car elle répond à notre besoin de 64 voies avec amplificateur et discriminateur. Par contre la carte a des niveaux de sortie en ECL (normes ECL négative, tensions différentielles centrées sur -2Volts), ce qui nécessite des composants pour l'adapter a notre logique

TTL. Pour ces raisons nous devons adapter notre carte à la carte H4 tant sur les dimensions (175mm*175mm) que sur les connecteurs et ses caractéristiques électriques. De plus il faut aussi prévoir de rajouter une carte fille qui adapte les sorties photomultiplicateurs, à celle de la cartes H4. La figure 8 nous montre une photo de cette carte H4.

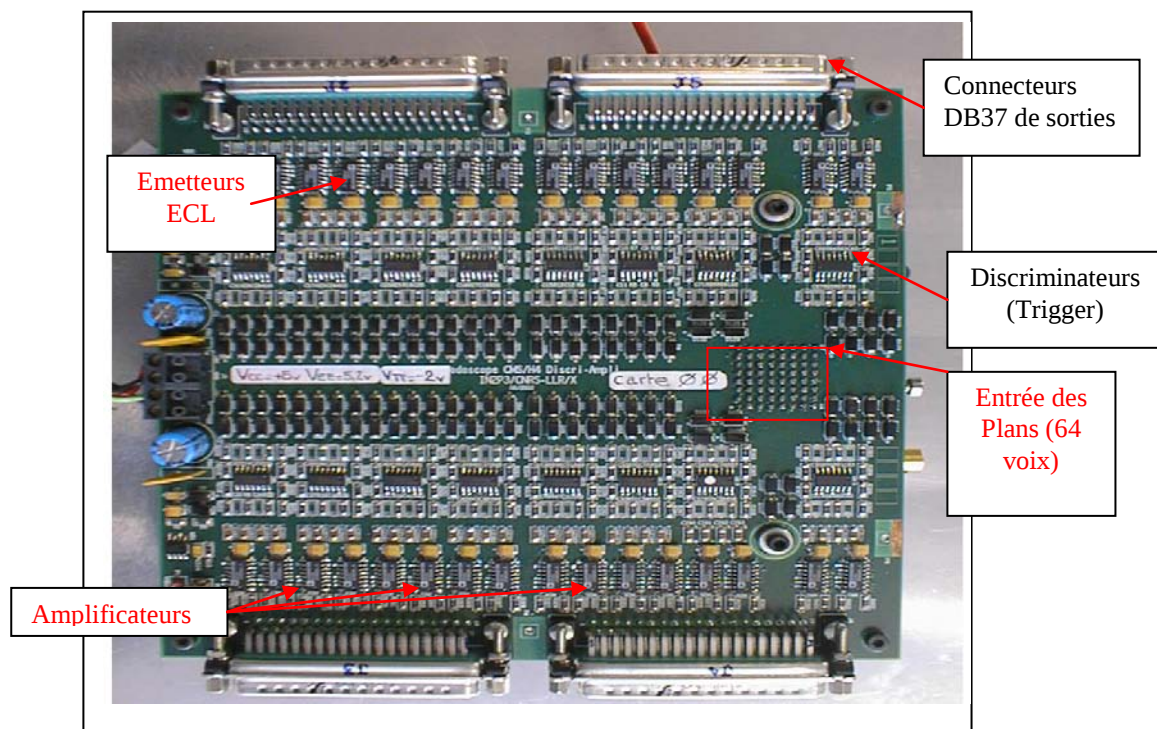


Figure 8 : La carte H4.

III.3 Les récepteurs ECL

Il faut faire une conversion ECL /TTL. Il n'existe pas de récepteur ECL/ TTL il faut donc utiliser un récepteur ECL, puis un translateur de niveaux ECL en TTL. Nous avons utilisé le MC100EL17 fabriqué par ON semi-conducteur : il s'agit d'un quadruple récepteur ECL. Ils sont câblés selon les recommandations du constructeur, c'est-à-dire en utilisant la norme NECL pour être compatibles avec la carte H4 (recommandations constructeur : NECL 'Mode Operating Range': VCC = 0 V et VEE = -4.2 V à -5.7 V). Il existe deux sorties Q et $\bar{Q}$, dans notre cas on utilise uniquement la

sortie Q . Le tableau 1 présente une description des fonctions des entrées et sorties du récepteur ECL.

PIN	PIN DESCRIPTION FUNCTION
Dn, Dn	ECL Differential Data Inputs
Qn, Qn	ECL Differential Data Outputs
VBB	Reference Voltage Output
VCC	Positive Supply
VEE	Negative Supply

Tableau 1 : description des fonctions des entrées et sorties du récepteur ECL

Nous avons utilisé 16 récepteurs ECL. La figure 9 nous présente le câblage pour un récepteur réalisé sous le logiciel Orcad capture. Le circuit est implanté sous forme de composant CMS. La sortie des récepteurs ECL est directement envoyée au translateur de niveaux.

III.4 Les translateurs de niveaux.

Leur but est de changer de niveau, ils doivent adapter l'ECL en TTL standard pour le circuit programmable. Nous avons utilisé le SY100H601 fabriqué par MICREL. Il s'agit d'un « neuf bit ECL to TTL » avec la possibilité d'avoir trois états en sortie 0, 1 ou haute impédance (Z). La figure10 nous présente le composant.



Rapport de stage de 2^{ème} année
laboratoire Leprince Ringuet
IN2P3/CNRS/ Ecole Polytechnique

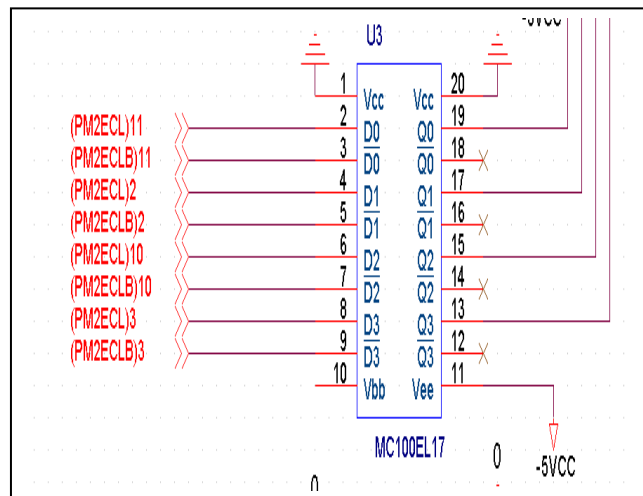


Figure 9 : Schématique du récepteur ECL /connecteur.

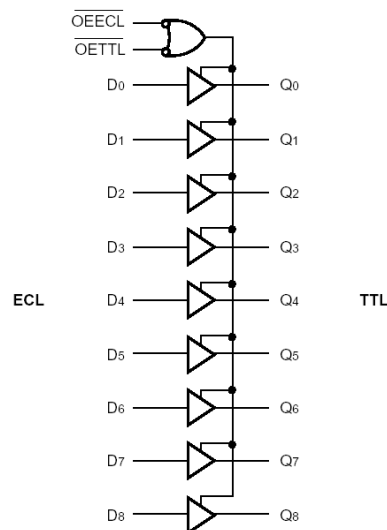


Figure 10 : Fonction logique des translateurs de niveaux.

Voici les tableaux constructeur définissant les entrées et sortie (tableau 2) et la table de vérité pour les signaux $\overline{OEECL}$ et $\overline{OETTL}$ (tableau 3). D'après la table de vérité nous devons câbler : $\overline{OEECL}$ et $\overline{OETTL}$ à l'état bas. La figure 11 nous montre alors le câblage des circuits SY100H601 tel que nous l'a réalisé. Par la suite les sorties des translateurs de niveaux sont envoyées à l'entrée du CPLD.

La figure 12 résume alors la schématique pour un connecteur (DB 37) avec les récepteurs ECL et les translateur de niveaux.

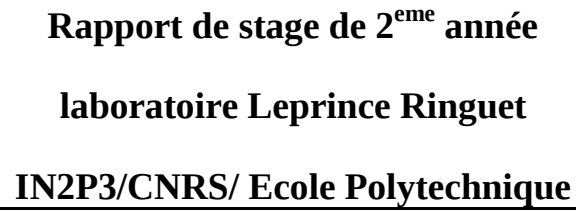
Pin	Function
GND	TTL Ground (0V)
V _{CCE}	ECL V _{cc} (0V)
V _{CCT}	TTL Supply (+5.0V)
V _{EE}	ECL Supply (-5.2/-4.5V)
D ₀ -D ₈	Data Inputs (ECL)
Q ₀ -Q ₈	Data Outputs (TTL)
$\overline{OEECL}$	3-State Control (ECL)
$\overline{OETTL}$	3-State Control (TTL)

Tableau 2 : description des fonctions des entrées et sortie du récepteur ECL

:

$\overline{OEECL}$	$\overline{OETTL}$	D	Q
L	L	L	L
L	L	H	H
H	X	X	Z
X	H	X	Z

Tableau 3 : Table de vérité des composants



III .5 Les Translateurs de niveaux TTL/NIM

La sortie trigger doit être envoyée dans un « Dual Timer » au format NIM pour être mise en temps avant d’être envoyée au dispositif en test. Le « Dual Timer » est un dispositif qui permet de retarder le signal de trigger afin que celui-ci soit envoyé en temps au dispositif en test. Par exemple si le processus de traitement des signaux venant des photomultiplicateurs jusqu’au trigger à la sortie de notre carte dure 100 ns et que le temps nécessaire est de 180 ns alors le « Dual Timer » crée un retard de 80 ns. C’est un astable pour lequel on règle le retard. Le problème est qu’il n’existe aucun circuit intégrés qui permettent la translation TTL à NIM on doit donc la réaliser nous même avec des composants discret. La comparaison des normes TTL et NIM est présentée sur le tableau 4.

Niveau logique	TTL	NIM en courant	NIM en tension
1	5 V	-14mA à -18 mA	-0.7 V a -0.9 V
0	0 V	-1mA a +1mA	-50mV à +50mV

Tableau 4 : Niveaux logiques.

La Norme NIM est une norme en courant. La tension est obtenue en multipliant le courant nominal par la résistance ici 50 ohms. On décide donc d’utiliser un amplificateur inverseur tel qu’il est définit par la figure 13. Il suffit alors de choisir le bon couple de résistance (R_1 , R_2) pour obtenir un gain $G = -R_2/R_1$ égale au rapport V_s/V_e , avec V_s la « tension NIM » et V_e la tension « la tension TTL ». On trouve alors $G = -0,16$.

En simulant le schéma avec le logiciel Spice nous trouvons de bons résultats. Mais pour simuler l’entrée TTL nous avons choisi un générateur de tension parfait. Puis dans un deuxième temps nous avons simulé le comportement du translateur lorsqu’il est attaqué par une sortie du circuit programmable. En effet la sortie du circuit programmable possède des limitations en courants qui influent directement sur le translateur proposé. Afin de retrouver un comportement proche de celui de la réalité on remplace la source de tension parfaite par une porte NAND (comportement identique au circuit programmable du point de vue des courants).

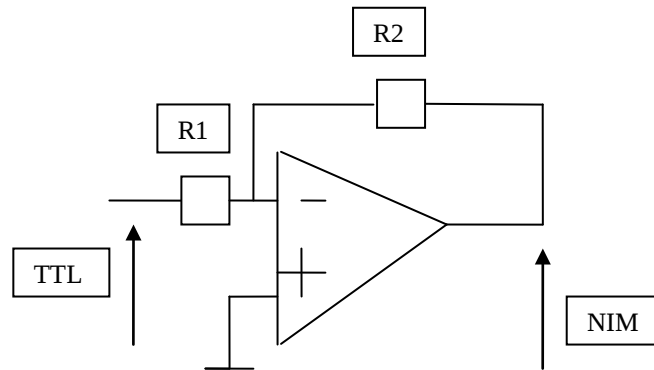


Figure 13: Schéma de principe.

Cette simulation nous montre alors que les niveaux de sortie ne correspondent pas au niveau logique NIM. Il faut donc modifier notre schéma. Pour ce faire nous avons réalisé plusieurs essais :

- Simulation du circuit programmable comme une porte logique à collecteur ouvert avec mise en place d'une résistance de pull up. Solution, rejetée car les niveaux de sortie à l'état bas étaient trop élevés (le courant traversant la résistance de pull up étant amplifié par l'AOP).
- Augmentation de la valeur de la résistance de pull up pour diminuer le courant à l'état bas (le courant était insuffisant à l'état haut).
- Le choix s'est porté sur une modification du couple (R1, R2) pour adapter l'amplification au système réel. Pour obtenir un signal conforme à la norme NIM nous avons dû alors utiliser un gain de -0.25. Les résultats sont présentés en figure 14. . Les valeurs des résistances R1 et R2 sont alors respectivement de 2200 Ω et de 560 Ω . Pour obtenir ce résultat nous avons fixé la valeur de R1 et laissé R2 en paramètre libre. Nous avons alors fait varier R2 jusqu'à obtenir le niveau NIM en sortie

Le choix de l'amplificateur opérationnel, un OPA 658 de BURR-BROWN, a été dicté par le besoin d'une grande bande passante ici 900MHz et un slew rate élevé 1700 $V.\mu s^{-1}$ donc :

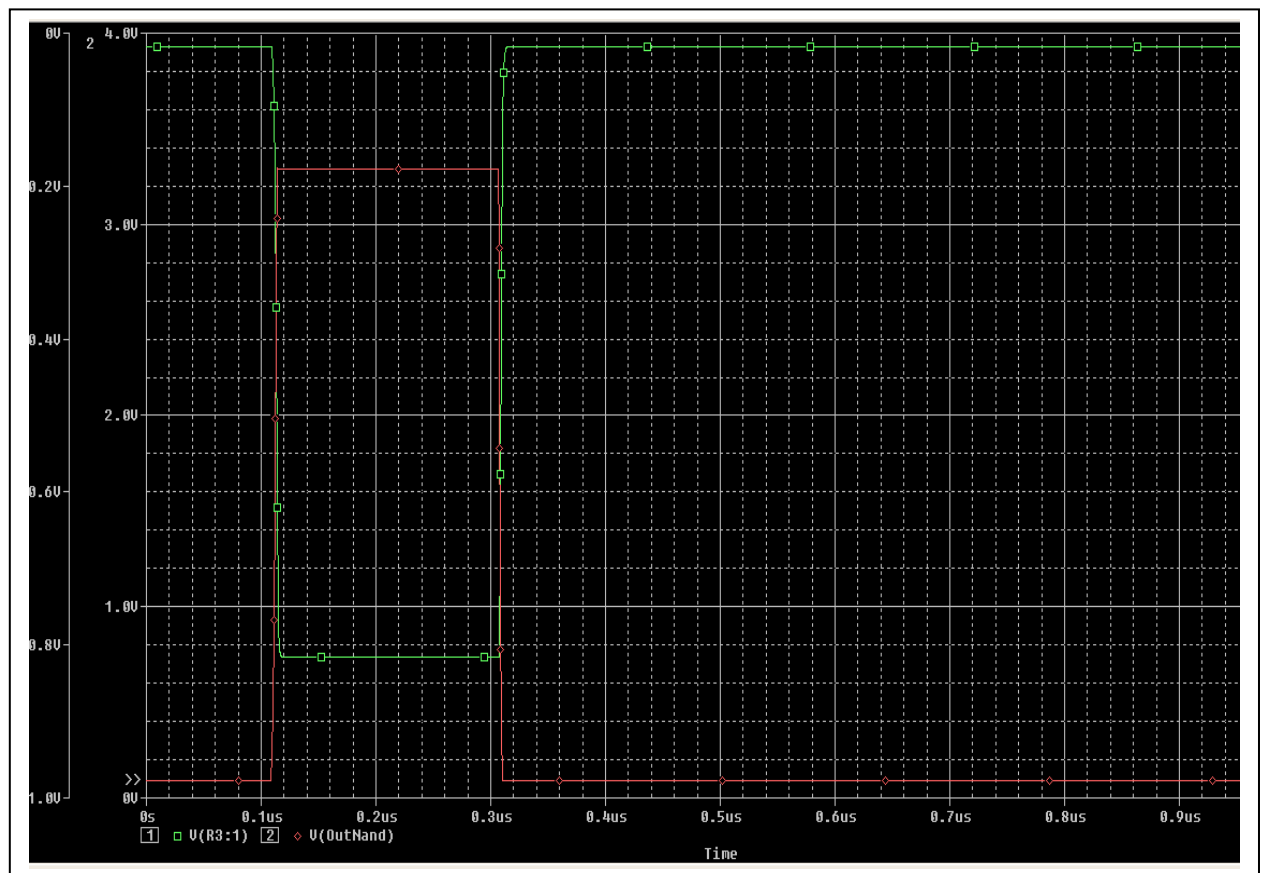


Figure 14 : Simulation du translateur de niveaux TTL/NIM avec le Logiciel SPICE (en vert la tension de sortie de la porte NAND en rouge la sortie du translateur de niveaux).

III.6 Les fonctions de test du circuit programmable.

Afin de vérifier le bon fonctionnement de la carte nous avons l'aide de diode LED visualisé certains états du circuit programmable. De plus des interrupteurs nous donnent la possibilité de générer des signaux pour d'une part, simuler le passage d'une particule et, d'autres part, réaliser un « reset » manuel.

III.6.a Les visualisations des sorties du CPLD.

Il est important de pouvoir observer le résultat du traitement interne du circuit programmable afin de simplifier d'éventuelles mises au point. La visualisation de certains signaux logiques est faite à l'aide de DEL. Toutes les sorties du circuit programmable sont du type impulsionnel, c'est-à-dire qu'elles ne restent que quelques nanosecondes à l'état haut. Il est donc impossible de voir à l'œil leur fonctionnement. Il faut donc ajouter un monostable. Le principe est très simple. Dès que la tension d'entrée dépasse un seuil la sortie passe à l'état haut le temps voulu. Ici le temps souhaité est d'environ une seconde pour permettre une visualisation correcte. Pour cela on utilise un circuit des plus répandus en électronique : le NE555. Dans notre cas, le circuit sera câblé selon la documentation du constructeur pour obtenir un fonctionnement en monostable (voir figure 16).

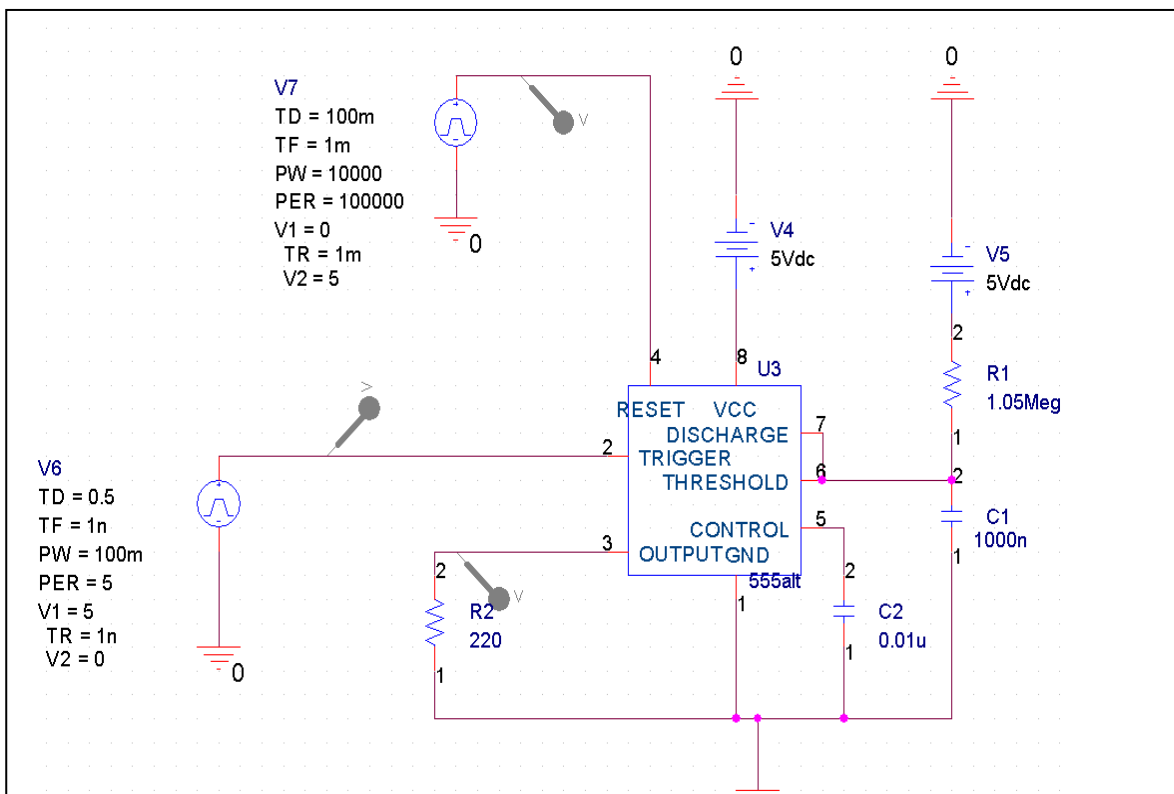


Figure 15 : Câblage du NE555 en fonction monostable d'après la documentation du constructeur.



Rapport de stage de 2^{ème} année
laboratoire Leprince Ringuet
IN2P3/CNRS/ Ecole Polytechnique



Le temps à l'état haut td est donné par la formule suivante :

$$td = Ra \times C1$$

ou Ra est une résistance et $C1$ une capacité. Un tableau nous donne les valeurs de $C1$ en fonction de td et de la résistance Ra . On souhaite un td (time delay) de 1 seconde. Pour ce faire, pour $td=1$ s on choisit une résistance Ra de $1\text{ M}\Omega$ et une capacité $C1$ de $1\text{ }\mu\text{F}$. Une simulation avec le logiciel SPICE du NE555 avec ces valeurs est présentée le figure17. Nous pouvons voir une tension de quatre Volts en sortie pour un courant de sortie de 17.5 mA , ce qui correspond au courant nominal des diodes CMS que nous avons choisies pour la visualisation des sorties. On pourrait adapter le courant de sortie pour qu'il corresponde au courant d'une diode standard en modifiant la résistance $R2$ (loi d'ohm $R2 = \frac{U - Ud}{Idn}$) avec U tension de sortie du NE555, Ud tension inverse de la diode, Idn

courant nominale de la diode pour avoir une luminosité suffisante. La durée à l'état haut est d'environ 1 seconde (0.998 ms) ce qui est suffisant. Toutes les sorties de visualisation du circuit programmable seront équipées de ce montage. De plus les valeurs choisies ici pour les résistances et les capacités sont standard à la norme CMS 1206 pour garder une homogénéité de l'ensemble

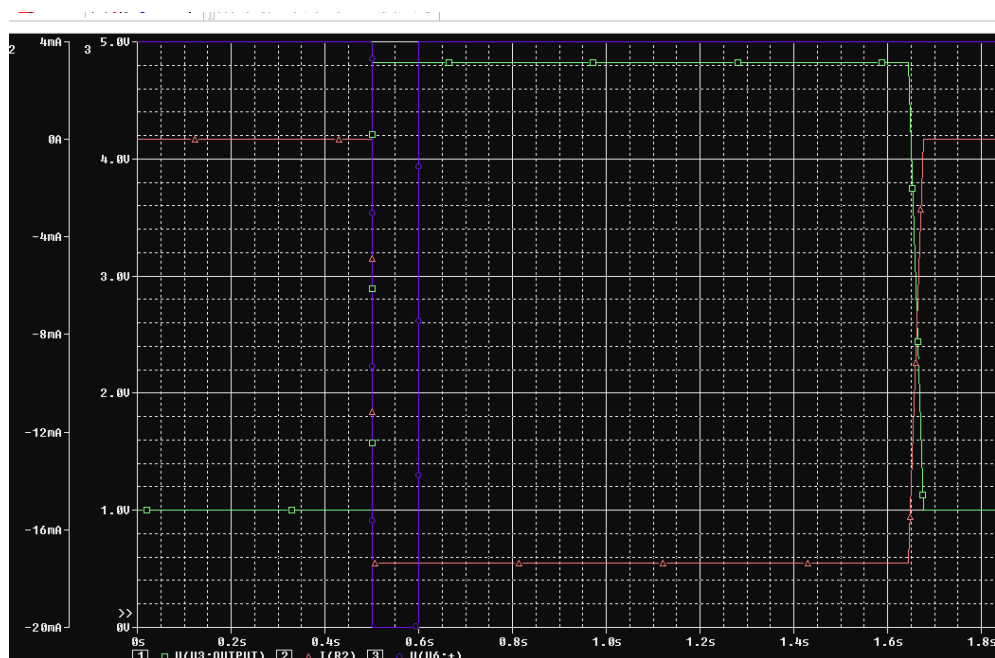


Figure16: Simulation Spice (en vert la tension de sortie du NE555, en bleu la tension d'entrée du NE555 en rouge le courant sortant du NE555.



Rapport de stage de 2^{ème} année
laboratoire Leprince Ringuet
IN2P3/CNRS/ Ecole Polytechnique



III.6.b Les visualisations de test de la carte.

Pour tester la carte (mode manuel) on utilise des interrupteurs (0 ou 1) qui simulent le passage d'une particule dans les quatre plans de scintillateurs. Il y a 5 interrupteurs : quatre pour les plans et un pour faire un reset manuel. L'état des interrupteurs (0 ou 1) est visualisé par des diodes éteintes (état 0) ou allumées (état 1). Le système n'est pas très compliqué et assez pratique, les résistances R sont choisies d'après la loi d'ohm ($R = \frac{VCC - U_d}{I_{dn}}$) avec V_{cc} tension d'alimentation (5V), U_d tension inverse de la diode, I_{dn} courant nominal de la diode pour avoir une luminosité suffisante (figure 18).

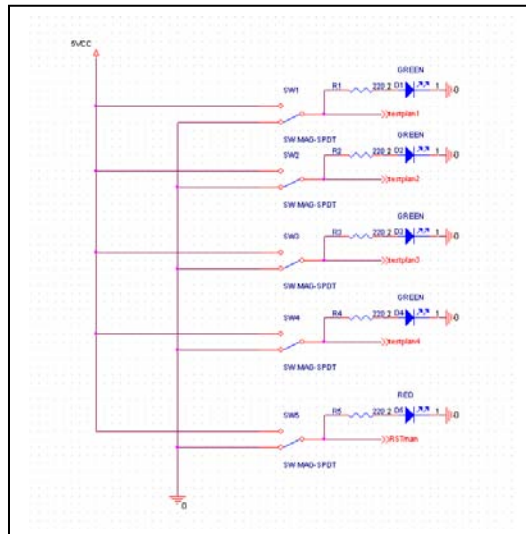


Figure 17 : Implantation des visualisations de test.

III.7 La liaison PC /Carte

Le PC et la carte ont besoin de communiquer. Plusieurs hypothèses ont été évoquées : liaison par RS232 (IEEE232) par RS488 (IEEE488) ou encore par USB (Universal Serial Bus). Nous avons choisi la liaison par USB car cette liaison est très rapide (1.5 MBIT/ S) et économique. Le module (USB IO24) utilisé ici coûte 40 euros. De plus c'est un moyen moderne et fiable. Le module utilisé comporte 24 entrées/sorties, il est fabriqué par la société australienne RAVARD. Ce module est déjà en test dans le laboratoire depuis quelque temps. Sa programmation et son utilisation sont transparentes pour l'utilisateur s'il utilise le logiciel fourni. De plus le circuit est auto alimenté par le PC. Ce système va nous permettre d'effectuer la liaison PC carte et carte PC le tout très facilement. Une photo de la carte USB I/O est présentée sur la figure 19.

La carte est organisée en trois ports de huit connecteurs. On en utilisera deux pour la lecture (port A et B). Quant au port C il servira à l'envoi des signaux de contrôles. Dans la mesure où le nombre de bit à lire en provenance de la carte est de 64 nous serons obligés d'implémenter un multiplexage en 4 fois 16 bits au niveau du circuit programmable. Les signaux de contrôles sont donc : le reset et deux bits de multiplexage.

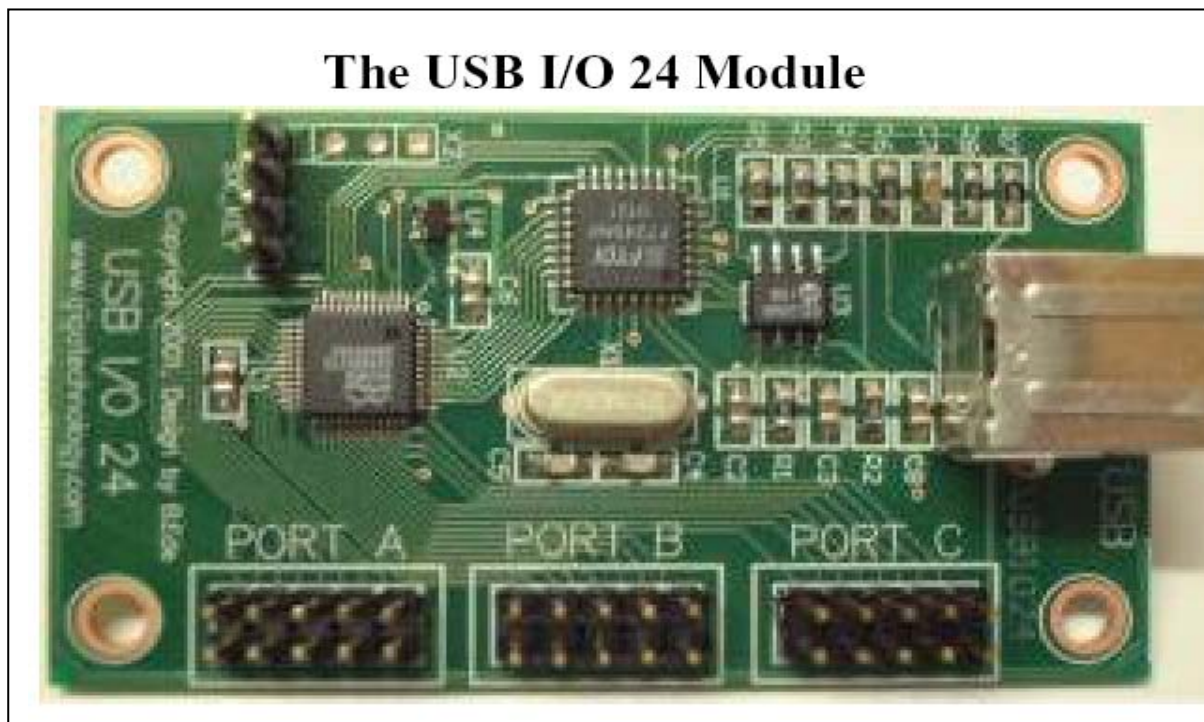


Figure 18 : La carte USB I/O24 liaison USB.

III.8 La schématique

Après avoir défini tous les composants. Nous avons créé une schématique complète de notre carte qui reprend tous les éléments de notre montage mais regroupés. Cette schématique a été faite sous ORCAD CAPTURE. Elle comprend trois parties : Le circuit programmable, les Connecteurs et les Circuit annexes.

La schématique est utile pour avoir une bonne vision d'ensemble. Le logiciel permet de créer à partir de cette schématique un circuit imprimé en partant de la « netlist ».

Voici les trois schémas d'ensemble :

- Le circuit programmable (CPLD) les récepteurs ECL et les translateurs de niveaux (figure 19).
- Les circuits annexes (figure 20).
- Les connecteurs (figure 21).

Le CPLD les récepteurs ECL et les translateurs de niveaux

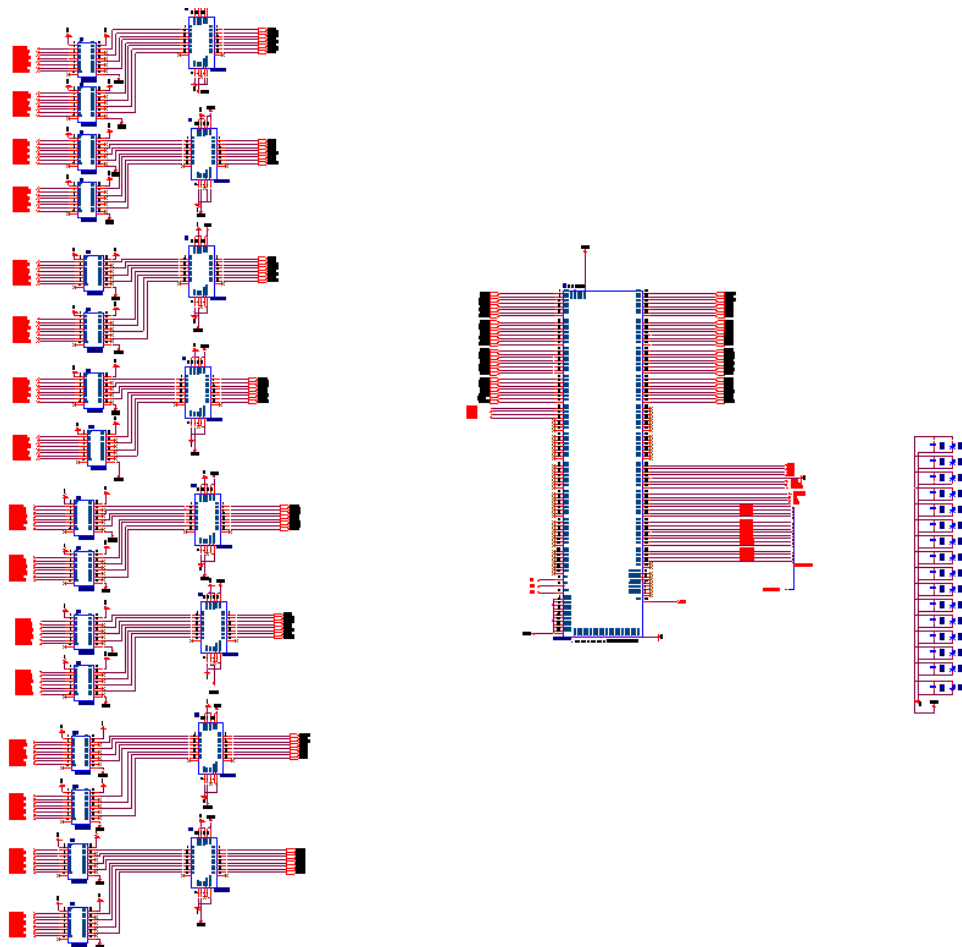


Figure19: Le CPLD, les récepteurs ECL et les translateurs de niveaux



Rapport de stage de 2^{ème} année laboratoire Leprince Ringuet IN2P3/CNRS/ Ecole Polytechnique



Les circuits annexes

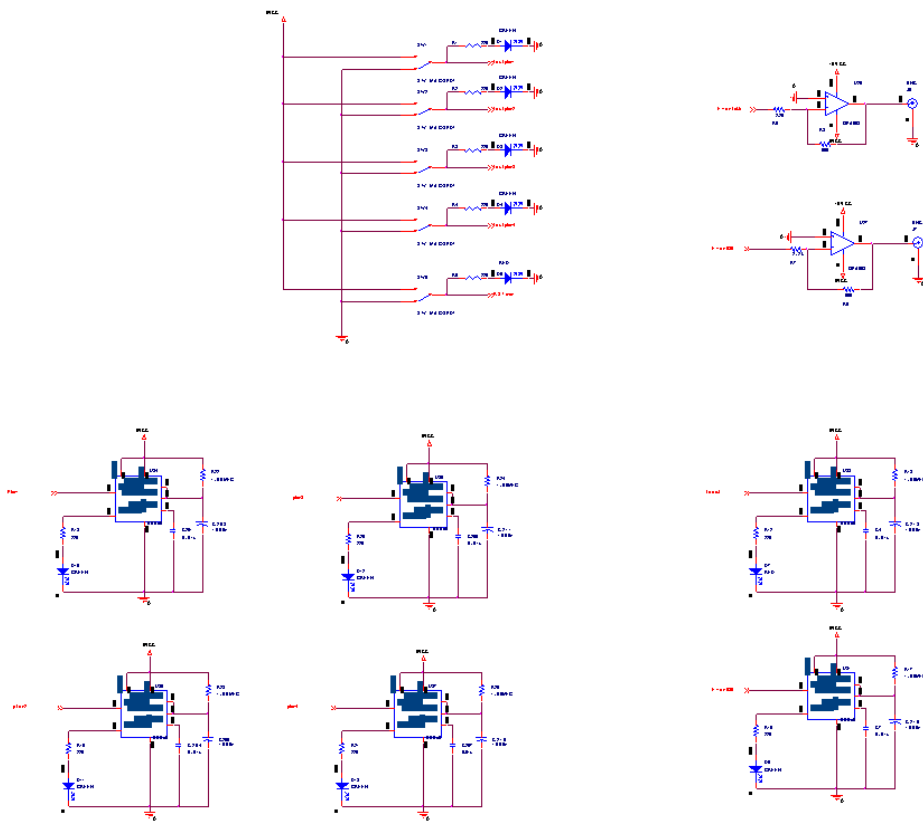


Figure 20 Les circuits annexes.

- Les connecteurs

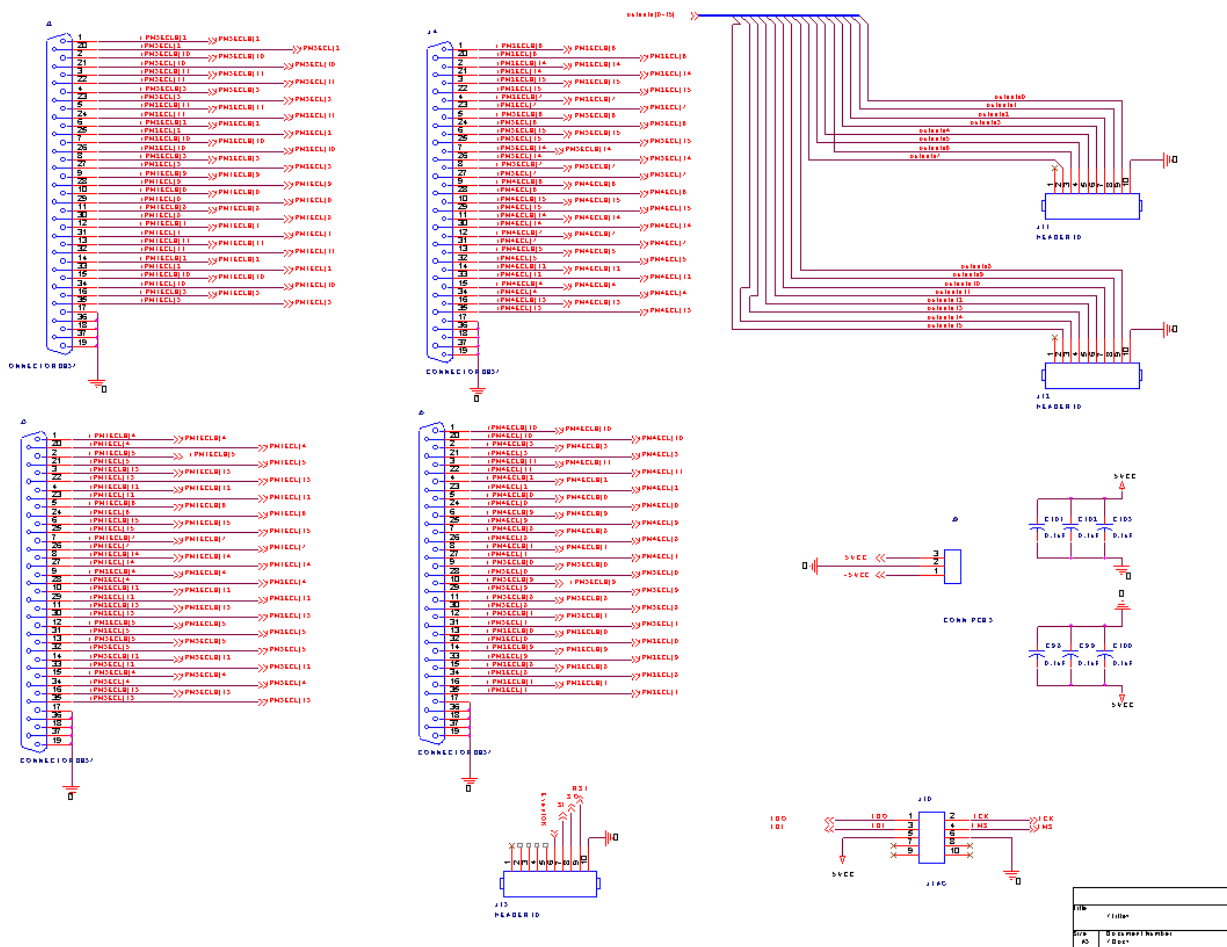


Figure21: Les connecteurs.

III.9 Le composant programmable

III.9.a La logique de Trigger.

Pour qu'il y ait un déclenchement, une particule doit traverser **un** scintillateur par plan. L'équation logique suivante pour le signal de trigger (EVENTOK) peut alors se mettre sous la forme :

$$\text{EVENTOK} = (\text{PM1}_0 + \dots + \text{PM1}_{15}).(\text{PM2}_0 + \dots + \text{PM2}_{15}).$$

$$(\text{PM3}_0 + \dots + \text{PM3}_{15}).(\text{PM4}_0 + \dots + \text{PM4}_{15})$$

La figure 22 nous montre la logique de Trigger. Par soucis de clarté on préfère ne faire apparaître que deux photomultiplicateurs par plan au lieu des 16.

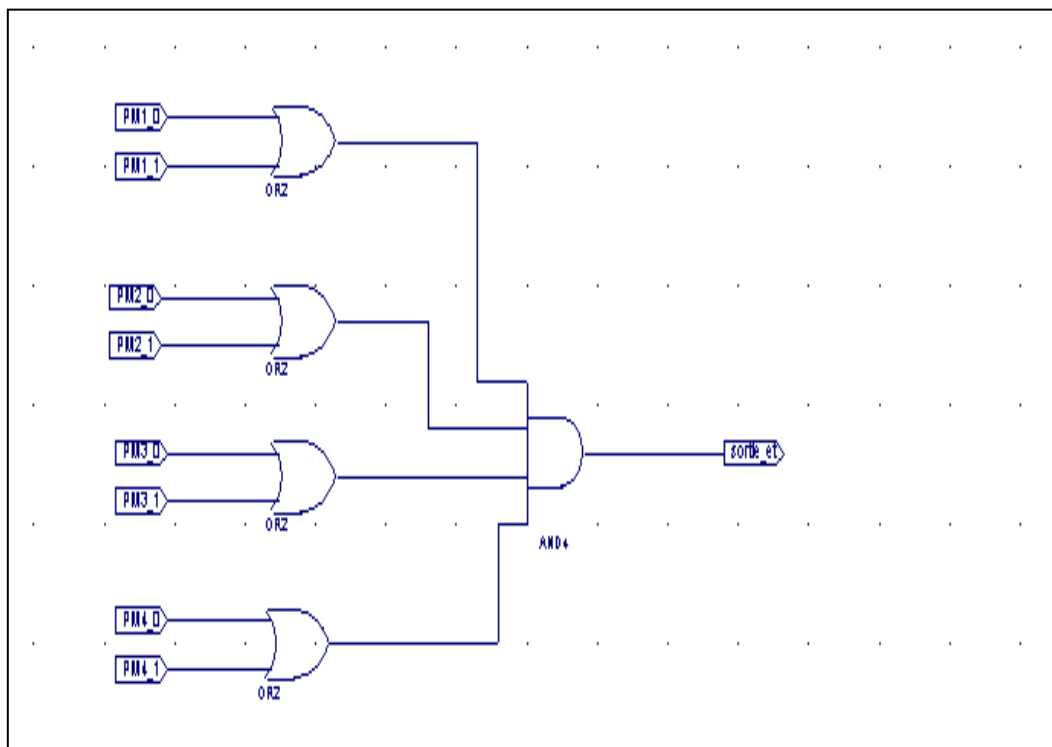


Figure22: Simulation de la logique de Trigger avec deux photomultiplicateurs par plan.

de reset n'a pas été envoyé sur l'entrée CLEAR de la bascule. On utilise donc la bascule D comme une mémoire.

III.9.c 'Blocage' des données.

On doit faire la lecture des 64 canaux pour savoir quels sont les PM qui ont été touchés. Pour cela on utilise 4 bascules D à seize entrées. Le signal d'horloge est le signal généré par la sortie de la bascule de blocage (figure 23). A chaque fois qu'il y a un événement il faut faire une acquisition : le signal d'horloge passe à 1 et la bascule D passe dans un état mémoire. La sortie est donc l'image de l'entrée mémorisée. Elle reste dans cet état tant que le signal Reset (envoyé par le PC) est égal à 0 ; quand il passe à 1 la bascule est remise à 0, prête pour une nouvelle acquisition. Ce signal est aussi envoyé au Reset de la bascule D dite de blocage. Ceci permet d'être de nouveau en attente pour une nouvelle acquisition.

III.9.d Conception du circuit programmable

Le recours à une logique câblée avec des portes standard n'a jamais été évoqué en raison de son encombrement de sa consommation et de son manque de fonctionnalité. En effet, il est quasiment impossible de faire évoluer de la logique câblée sans modifier la carte. Le choix s'est porté sur les CPLD ou un FPGA car ces deux circuits ont l'avantage d'être reprogrammables et de pouvoir avoir une grande capacité logique dans un petit volume. Notre logique de développement a été de d'implémenter toute la logique nécessaire au trigger et à la lecture des scintillateurs puis de chercher un composant qui accepte toute cette logique. De plus après programmation le composant doit offrir des possibilités de développement pour le futur. Pour cela nous avons utilisé un logiciel du fabricant des CPLD et des FPGA. Ce logiciel XILINX présente bien des avantages. Il permet une description du projet soit en VHDL pure, soit sous forme de schémas logiques ou bien encore sous forme de VHDL et de schémas. La logique de ce projet est assez simple et elle ne nécessite pas de VHDL.

Ce logiciel permet de plus de simuler les résultats et présenter un modèle comportemental pour chaque circuit ce qui permet d'évaluer le temps de propagation en fonction de l'assignation des pattes et donne des résultats valables d'après le retour d'expérience de certains utilisateurs du laboratoire. Il peut aussi générer le fichier hexadécimal qui sert à programmer le circuit. Il a une bibliothèque de composants disponible assez riche. Il permet de créer ses propres sous circuit (nous verrons que nous avons utilisé ce système dans notre solution). Il possède aussi, un procédé appelé CORE GENERATOR qui permet pour les FPGA de créer d'après un modèle générique (compteur,



Rapport de stage de 2^{ème} année
laboratoire Leprince Ringuet
IN2P3/CNRS/ Ecole Polytechnique



basculer, logique standard etc.) un modèle particulier adapté aux besoins de l'utilisateur. Nous verrons que nous avons utilisé ce système dans notre solution. C'est un logiciel très complet qui de plus est relativement simple d'utilisation.

Nous avons conçu grâce à ce logiciel trois circuits logiques différents (trois prototypes) pour une même fonctionnalité et pour déterminer quelle solution logique est la plus adaptée à l'usage de l'hodoscope. :

- Première avec un FPGA ;
- Seconde avec un CPLD ;
- Troisième avec un CPLD.

Ces trois solutions ont été envisagées car nous avons cherché à optimiser le temps de propagation. La solution retenue sera celle avec le temps de propagation le plus court. On définit ici les signaux utiles pour le circuit programmable :

- EventOK c'est le signal de Trigger
- EvenOKB c'est le complément du signal de Trigger.
- PM1_0 PM2_2 etc. Ce sont les entrées du CPLD (64).
- Outdata(0.15) c'est le bus de sortie vers le PC.
- RST signal de reset général.

III.9.e Conception de la logique par FPGA

La première solution a été de concevoir le circuit programmable avec un FPGA. Le FPGA permet l'introduction de Bus de données. Il existe un nombre assez important de composants déjà définis comme un OU à 16 entrées ce qui facilite la conception par schématique (figure24).

La logique de lecture qui a été implantée est la logique que nous avons décrite au chapitre III.9.c. La sortie du FPGA est envoyée au PC sous la forme d'un bus de donnée. Les entrées sont quatre bus de 16 bits et la sortie un bus de 16 bits. Logique a été construite à l'aide du CORE GENERATOR en utilisant un multiplexeur de deux bus et modifié pour en obtenir un, à quatre bus de 16 bits (on peut aller jusqu'à un multiplexage de 256 bus de 256 données !). Le signal S est le signal de multiplexage (un bus sur 2 bits) qui permet de multiplexer en fonction de ses valeurs logiques (principe identique au multiplexeur 74LS). La sortie des informations est envoyée pour être traitée par le PC.

Pour effectuer une simulation, il nous a fallu choisir un FPGA. Notre choix s'est porté sur un VIRTEX 2 XC2V250-6FG-256. Ce circuit possède 256 entrées/sorties pour ici seulement 100 utilisées. L'implantation de la logique de l'hodoscope prend seulement 50% de sa capacité. Il y a donc de grandes possibilités d'évolution.

Une simulation nous montre qu'à chaque passage de particule sur les quatre plans, le trigger se déclenche et bloque toute autre acquisition. La logique de lecture par multiplexage implantée fonctionne correctement. Elle fournit les informations pour déterminer quel scintillateur a été touché. Le temps de propagation entre les entrées et le trigger est de 100 nanosecondes (donc inférieur au 180 ns à ne pas dépasser).

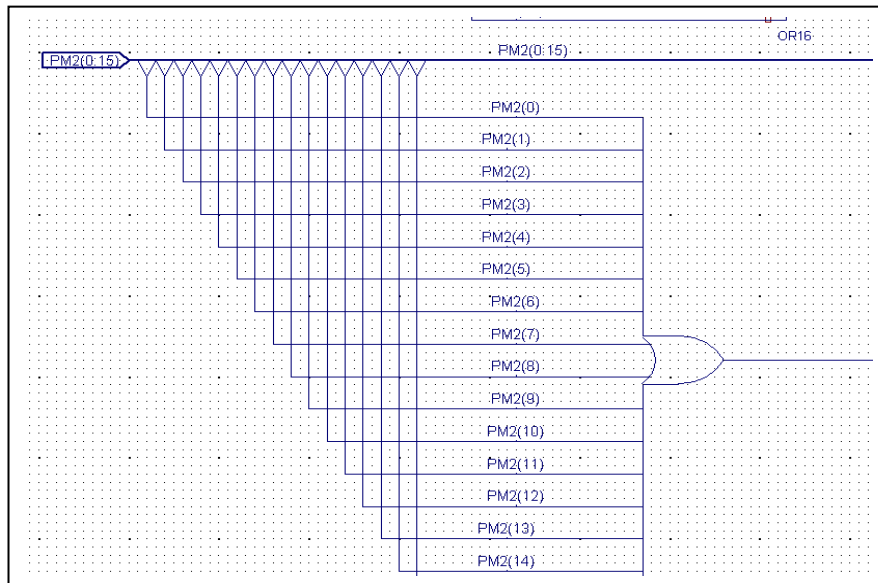


Figure 24: OU pour le plan2 à 16 entrées.

III.9.f Conception de la logique par CPLD

Afin de tester différentes possibilités nous avons aussi implémenté la logique de l'hodoscope dans un CPLD. Il nous a fallu faire quelques modifications au schéma de base. En effet le CORE GENERATOR étant indisponible pour les CPLD il a fallu créer le multiplexeur de bus. Pour cela nous avons créé un sous composant que nous avons appelé MUX4BUS16. Il reprend les même fonctionnalité (4:1) que le multiplexeur créé par le CORE GENERATOR mais avec seize multiplexeurs à quatre entrées. Les quatre bus des plans sont séparé en fil simple pour chaque scintillateur et entrent dans une entrée de multiplexeur en faisant attention au poids fort et faible du bus. Les signaux de décodage S0 et S1 sont communs à tous les multiplexeurs. Le poids faible de chaque multiplexeur est l'information du plan 1, le poids fort est le plan 4, pour avoir une cohérence lors du multiplexage (figure25).

L'opération est répétée pour les seize multiplexeurs la sortie des multiplexeurs et mise sous la forme d'un bus de données outdata (0 :15).

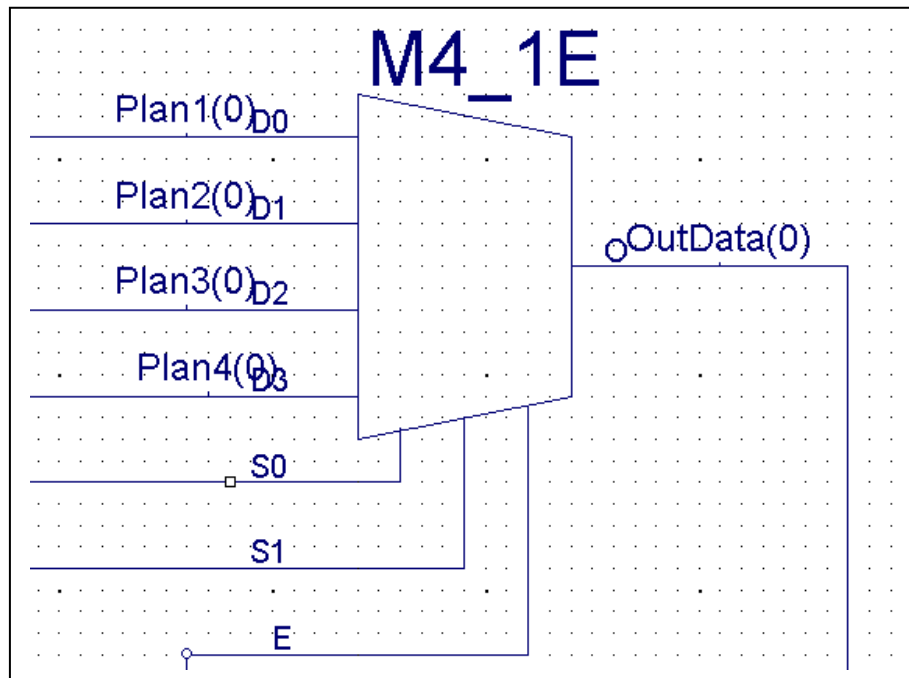


Figure25: *Multiplexeur 4 entrées une sortie.*

Après nous simulons l'ensemble réalisé grâce au logiciel XILINX ISE4. Le choix du CPLD s'est porté sur un XC9500 XC95216HQ208. Ce circuit possède 208 entrées/sorties pour ici seulement 100 utilisées. L'implantation de la logique de l'hodoscope prend 60 % de sa capacité. Il y a donc des possibilités d'évolution.

A chaque passage de particule sur les quatre plans simulés, le trigger EventOK se déclenche et bloque toute autre acquisition la logique de lecture par multiplexage est en place et fonctionne correctement. Le temps de propagation est de 80 nanosecondes un temps moins important que qu'avec le FPGA. Le résultat de la simulation est présenté en figure 26.

III.9.g Conception de la logique par CPLD seconde version.

Enfin un troisième circuit a été testé en gardant le même composant XC95216HQ208 mais en optimisant le schéma en fonction de l'architecture interne du CPLD. On modifie le schéma en utilisant le théorème de BOOL et celui de DEMORGAN. En prenant deux variables par plan par souci de simplicité :

$$(A+B)(C+D)(E+F)(G+H) = \overline{(\overline{A.B}) + (\overline{C.D}) + (\overline{E.F}) + (\overline{G.H})}$$

Il n'y a pas d'autre modification avec la première version du CPLD. Après simulation de l'ensemble réalisé par le logiciel XILINX ISE4. Nous avons analysé les résultats et nous avons été déçus. Il n'y a pas de changement temporel notable malgré l'optimisation du CPLD le fonctionnement reste identique. L'implantation au niveau des composants internes est de 59 % contre 60 % et un temps de propagation identique à la première version (80 ns).



Rapport de stage de 2^{ème} année
laboratoire Leprince Ringuet
IN2P3/CNRS/ Ecole Polytechnique

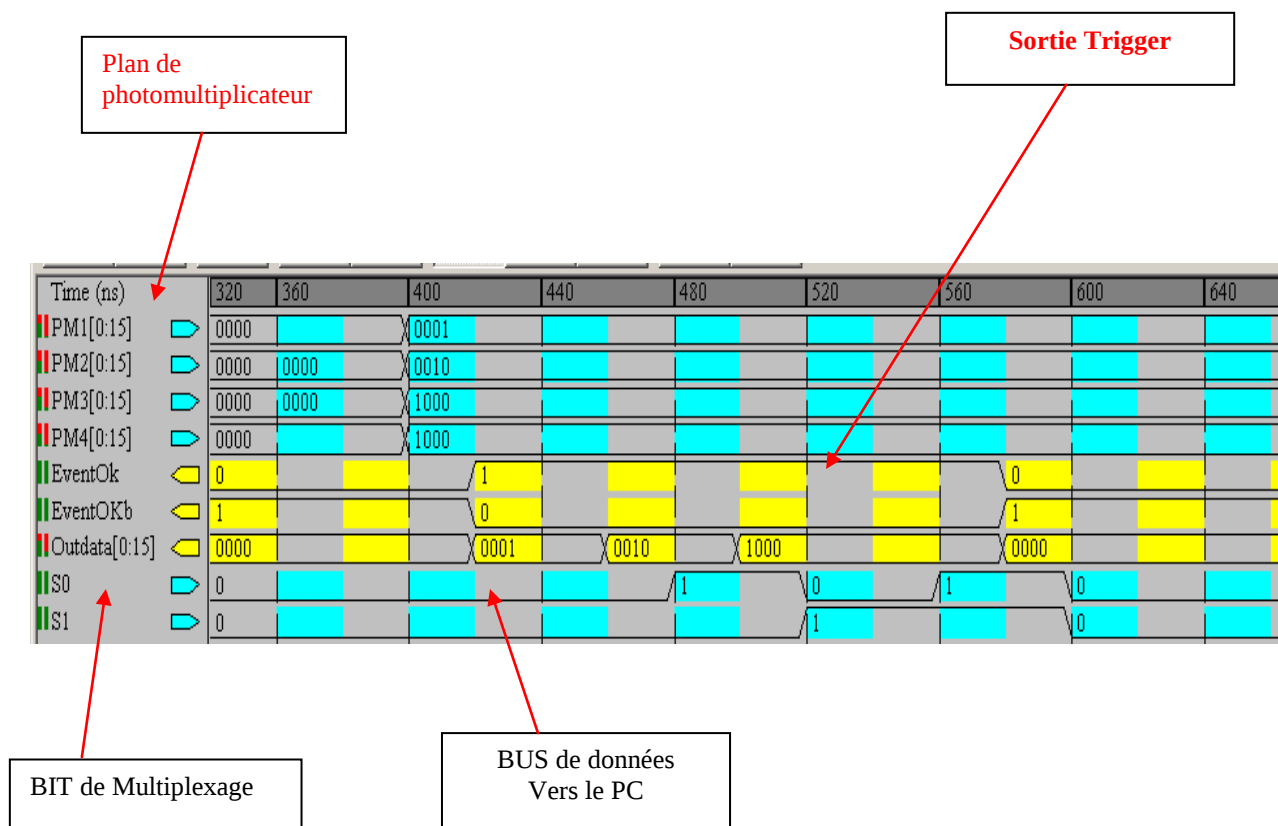


Figure26 : Simulation complète du CPLD.

III.9.h Les fonctions de test du CPLD

La carte de l'hodoscope possède deux modes de fonctionnement. Un mode automatique qui est le mode normal, c'est-à-dire que les scintillateurs et photomultiplicateurs sont connectés aux entrées et un mode manuel qui nous permet de générer des signaux provenant de chaque plan. Cela nous permet de simuler le passage d'une particule et de procéder à une acquisition.

Le CPLD possède des fonctions de test. Implanter ces fonctions permet un test rapide et efficace du fonctionnement du CPLD. Ces fonctions permettent de simuler une acquisition, pour valider le comportement du CPLD. Il existe aussi une fonction reset manuel du CPLD. Les tests manuels se font à l'aide de boutons poussoirs implantés sur le circuit intégré (les boutons poussoirs simulant l'état logique haut ou bas). L'état des sorties est visible par l'intermédiaire de diode LED. Ici nous allons décrire les différentes fonctions des diodes LED par exemple les diodes D1 à D4 (verte) visualisent les fonctions de tests des quatre plans (simulation d'acquisition). La diode D5 (rouge) visualise l'action sur le Reset manuel. Les couleurs utilisées ici sont différentes en fonction de l'action, une simulation ou un reset.

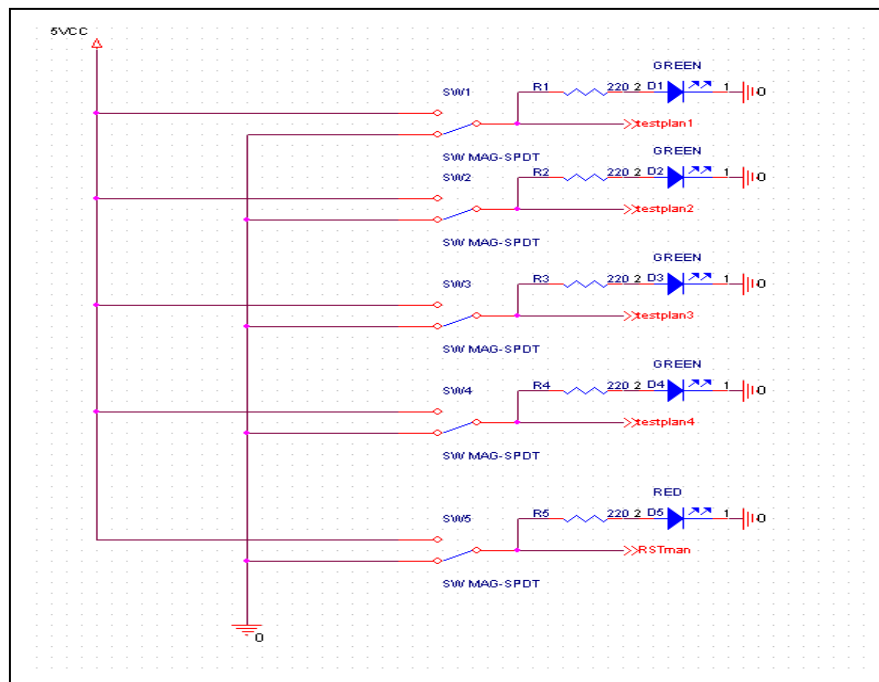


Figure27 : Les fonctions de test du CPLD implantées dans la schématique

III.9.i Choix du composant programmable

Nous avons choisi d'utiliser XC9500 XC95216HQ208 car ce circuit répond à toutes nos attentes. Il est rapide au niveau du temps de propagation ici 80 nanosecondes même après avoir placé les entrées et les sorties de façon à simplifier le routage sur la carte Hodotrigg.

Il possède une grande capacité d'évolution pour de futures versions. Il reste encore cent entrées/sorties, non utilisées et encore 40% de ces capacités non utilisé.

Il est alimenté en +5V ce qui convient parfaitement car nous n'avons pas besoin d'utiliser une autre alimentation contrairement au FPGA, et ses entrées/sorties sont compatibles TTL pour être conforme au cahier des charges.

Il n'est pas nécessaire d'utiliser d'autres composants, il est complètement autonome.

Enfin il est d'une grande simplicité de programmation : il utilise le protocole JTAG qui est un des protocoles les plus répandus dans l'industrie. Le JTAG utilise seulement quatre fils pour une programmation rapide simple avec le boîtier de programmation du fabricant XILINX. Autre avantage il est environ deux fois moins cher que le FPGA.

Le FPGA a été écarté non seulement en raison de son prix mais aussi par la nécessité d'un composant mémoire supplémentaire et d'une alimentation en 3.3 V pour être utilisé convenablement.

III.10 Le Circuit imprimé.

III.10.a Le circuit imprimé

Après avoir défini les schémas d'ensemble, il faut définir le circuit imprimé. Pour respecter les contraintes du cahier des charges il faut créer une carte aux mêmes dimensions que la carte H4, c'est-à-dire (175mm *175mm). Ajouter les mêmes connecteurs (DB 37). Disposer les entre axes (3.5mm) de perçage. On utilise le logiciel ORCAD LAYOUTPLUS. Ce logiciel permet d'après une schématique définie sous ORCAD CADENCE de définir des cartes et d'effectuer des routages.

Le circuit imprimé est défini en plusieurs étapes. La première est la définition du PCB (le contour de la carte) puis les empreintes des composants, la définition des couches de circuit utilisé pour le routage et enfin le routage.

III.10.b Le Placement des composants

Avant de placer les composants, il a fallu définir les empreintes des composants utilisés. Tous les composants ont des empreintes (surface sur le circuit imprimé, position des pattes) propres. Elles sont standard et répondent aux différents formats comme SO/G DB DIN. Il a donc été nécessaire de trouver les empreintes correspondantes dans la bibliothèque d'empreintes disponibles. Les composants passifs ont des empreintes du Type CMS (montage en surface) modèle 1206. Pour les autres les composants CMS les empreintes sont de type différent nous avons par exemple des circuits modèle GW (« Gull Wing ») ou bien encore du type PLCC. Des indications sont fournies dans la documentation constructeur. Les constructeurs donnent soit l'empreinte (modèle) ou bien des cotes mécaniques afin de définir les empreintes. On place les composants sur les deux faces du circuit (circuit double face). Le résultat du placement est présenté sur la figure 28 :

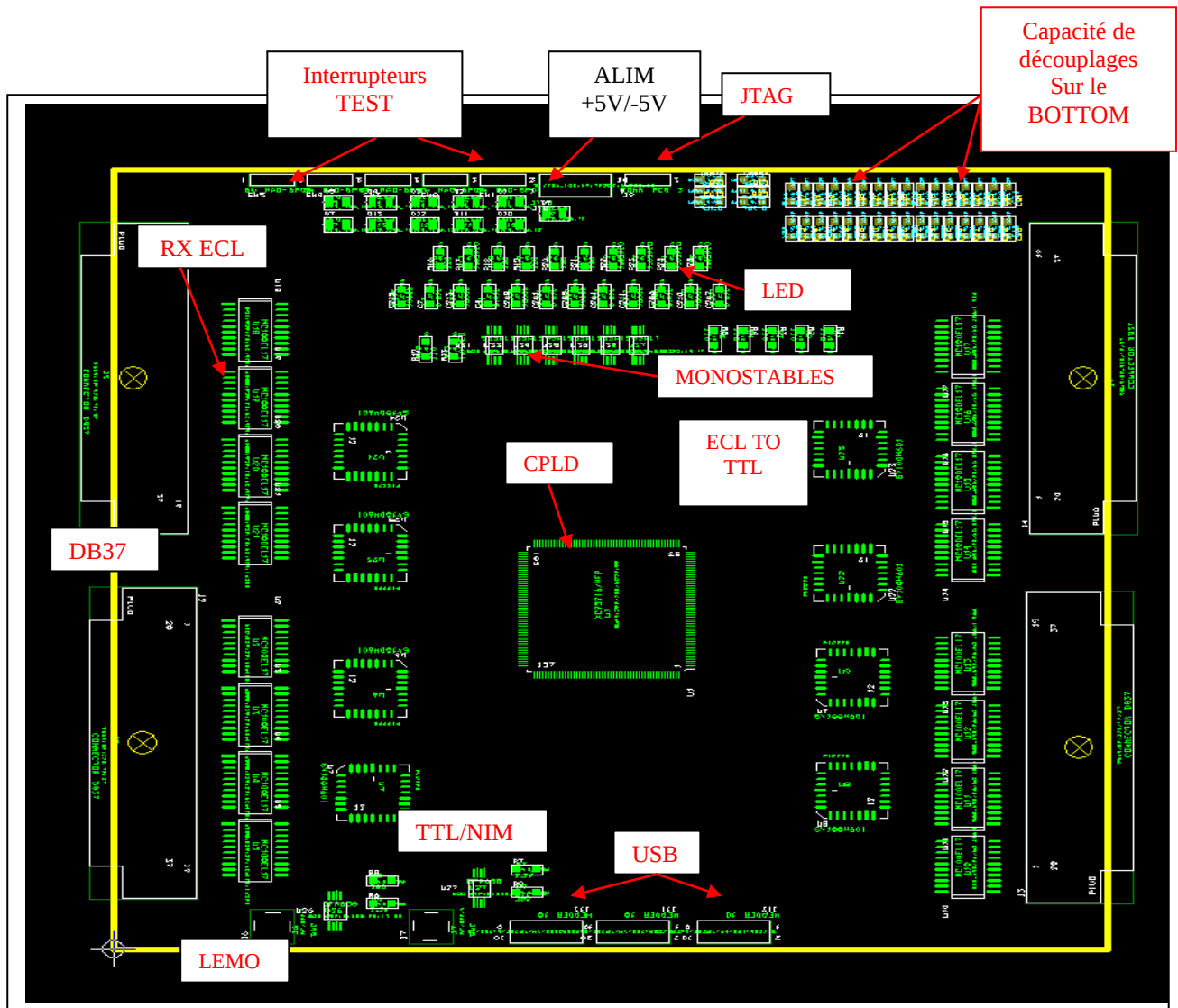


Figure28: Implantation des composants sur la surface "TOP" et sur la surface "BOTTOM".

III.10.c Le routage

Après avoir placé les composants, il faut effectuer le routage. Pour cela on définit deux éléments :

- le nombre de couches dites de routage. Ici on utilisera 2 couches pour pouvoir router le circuit : TOP et BOTTOM. Cette solution présente l'avantage de pouvoir modifier le câblage en cas de problème car les pistes sont accessible (la carte est un prototype !).
- le nombre de plans (un plan étant une surface de circuit généralement réservée, aux alimentations, cela limite les problèmes liés au bruit). Ici on utilise quatre plans. Deux plans pour la masse (cela protège les signaux d'éventuels problèmes de couplage), un pour le +5 V et un pour le -5 V.

Le circuit comprend donc quatre plans et deux couches pour le routage. Il y a donc six couches dans le circuit imprimé.

Le routage a été effectué une première fois avec une largeur de piste de classe 6+ c'est-à-dire une largeur minimum de 100 μm , puis une deuxième fois en utilisant une largeur de pistes de classe 4 (largeurs minimum de 210 μm). On effectue un routage automatique comme nous le montre la figure 29.

Après routage nous avons vérifié le DRC (Design Rules Check) c'est à dire la validation des règles de conception et de routage. Il existe plusieurs règles de « designs » : on peut citer l'optimisation des angles des pistes c'est-à-dire avec un angle de 135 degrés ou de 45 degrés pour éviter tous les problèmes d'adaptation d'impédance. L'interdiction des angles droits. Tous les problèmes de connections aux plans et de vias. Après avoir vérifié le DRC et en avoir parlé avec un spécialiste du laboratoire afin de s'assurer de la bonne cohérence de l'ensemble nous avons demandé un devis pour la fabrication de la carte dans l'industrie.

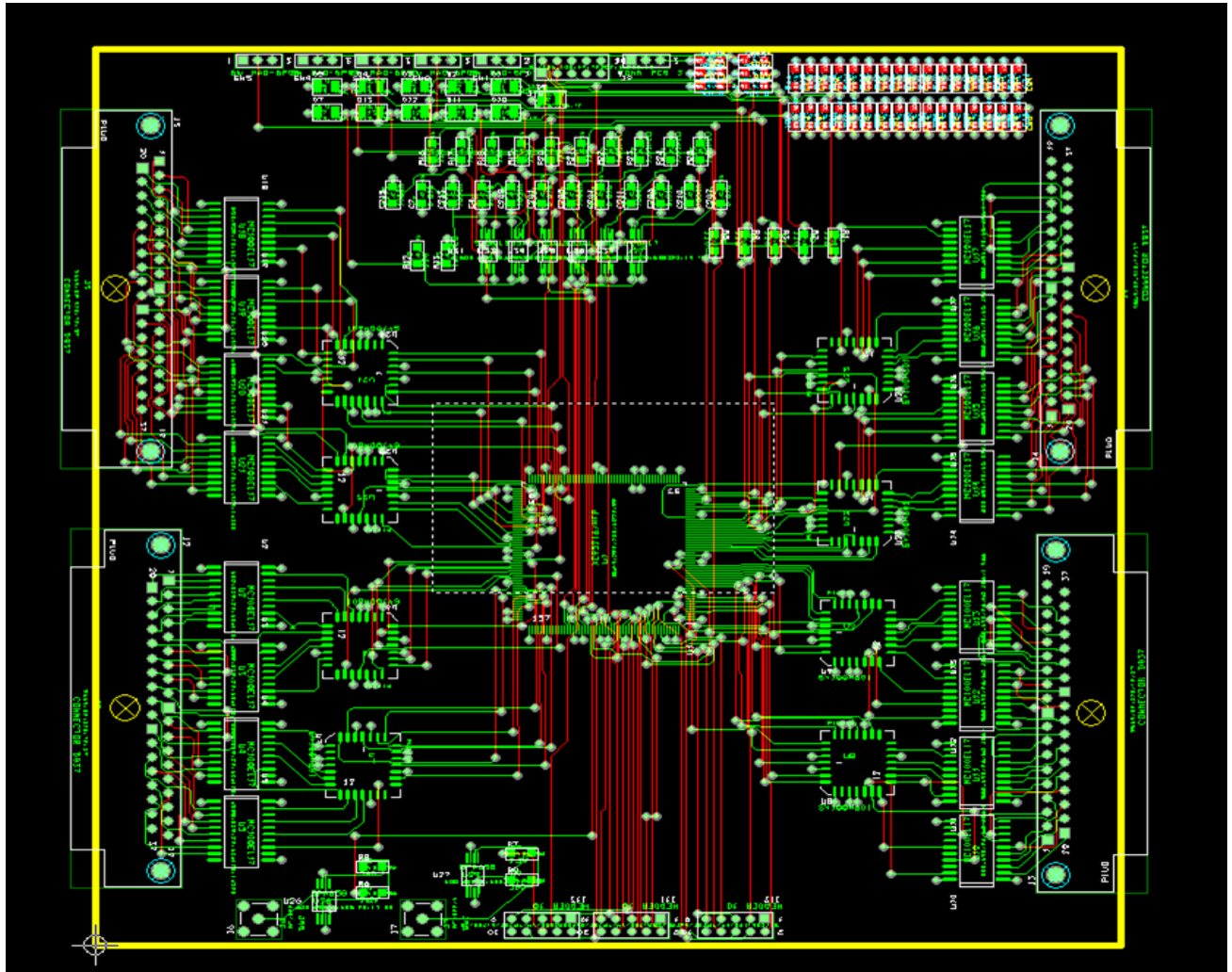


Figure 29 : Routage sur le "TOP" et le "BOTTOM"

III.11 Le coût

Dans tout ce projet nous avons gardé à l'esprit une notion de coût. Nous avons toujours cherché le moins chère sans négliger la qualité. Le prix total des composants passifs, des connecteurs est d'environ 750 euros. Les composants actifs (circuits intégrés et CPLD) 100 euros. La carte USB environ 40 euros. Nous avons fait plusieurs devis pour trouver quel fabricant de circuit intégré était le moins cher. Par exemple nous avons routé la carte une deuxième fois en utilisant des pistes plus larges. Le prix du circuit imprimé six couches, classe 4 (largeur de piste 210µm), 2 faces et 600 trous de perçage est d'environ 941 Euros.

Le coût total de la carte est donc d'environ 1831 euros (12000francs).

IV Conclusion

A l'heure actuelle, la carte électronique est partie en fabrication et doit en revenir fin juin. Début juillet 2003, elle sera câblée et testée au laboratoire avant d'être mise en situation milieu juillet. Les réglages de la carte H4 seront eux aussi effectués durant le mois de juillet ainsi que les réglages de hautes tensions sur les photomultiplicateurs. La carte 'Hodotrig' correspond en tout point au cahier de charges. C'est-à-dire qu'elle a les mêmes dimensions que la carte H4 et les mêmes connecteurs pour une adaptation facile. Le temps de propagation total est inférieur à 180 ns. En effet une estimation du temps de propagation de la sortie des photomultiplicateur au signal de trigger est de 120 ns.

Ce stage m'a permis de mettre en oeuvre mes connaissances techniques dans un projet de grande envergure. Ce stage a été l'occasion d'aborder et d'approfondir mes connaissances dans certains domaines de l'électronique tels que la programmation de CPLD ou de FPGA ou des notions de simulation par PC ou bien encore des notions de routage de cartes électronique en prenant compte des impératifs techniques et technologiques, domaine qui m'était totalement inconnu auparavant.

Je pourrais suivre et surtout de participer à tous ces tests car mon stage est prolongé jusqu'au 31 juillet et ainsi j'aurai la chance de voir fonctionner la carte 'Hodotrig'.

V Bibliographie

- **Livres**

- Radiation detection and measurement Glenn F.Knoll (1979)
- Techniques for Nuclear and Particle Physics Experiments William R.leo Springer-Verlag
- Thèse de Mr Vanel sur le calorimètre électromagnétique CMS (Projet CMS)

	Rapport de stage de 2^{ème} année laboratoire Leprince Ringuet IN2P3/CNRS/ Ecole Polytechnique	
---	---	--

Sites Internet :

- **Site généraliste**

WWW.CNRS.FR

WWW.IN2P3.FR

- Site Laboratoire Leprince –Ringuet

<http://polywww.in2p3.fr/>

- Collisionneur Linéaire à Electrons

<http://polywww.in2p3.fr/flc/master.html>

- Site Project CALICE (Calorimeter for the LInear Collider with Electrons)

<http://polywww.in2p3.fr/flc/calice.html>

- Site du Calorimètre électromagnétique

<http://polywww.in2p3.fr/flc/calorimetry.html>

- **Site des constructeurs**

www.xilinx.com

www.micrelec.com

www.onsemi.com

www.fairchild.com



Rapport de stage de 2^{ème} année
laboratoire Leprince Ringuet
IN2P3/CNRS/ Ecole Polytechnique



VI Table des illustrations

Figure 1 : principe de l'hodoscope	----- page 9
Figure 2 : synoptique de la chaîne d'acquisition	----- .page 10
Figure 3 : détection d'une particule cosmique par le couple scintillateur photomultiplicateur.	--- Page 13
Figure 4 : détection d'un événement (passage d'une particule cosmique) avec câble de 8ns.	----- .page 14
Figure 5 : détection d'un événement (passage d'une particule cosmique) avec câble de 5ns.	----- .page 15
Figure 6 : Un plan de photomultiplicateurs complet	----- page 16
Figure 7 : Deux plans de photomultiplicateurs complets utilisés lors de l'expérience	----- page 16
Figure 8 : La carte H4 et ses caractéristiques	----- page 18
Figure 9 : Schématique du récepteur ECL /connecteur	----- page 20
Figure 10 : Fonction logique des translateurs de niveaux.	----- Page 20
Figure 11 : Câblage pour un SY100H601 : (réalisé sous le logiciel CAD capture).	----- Page 22
Figure 12 : Schéma global pour connecteur de la carte H4	----- .page 22
Figure 13 : Schéma de principe	----- page 24
Figure 14 : Simulation du translateur de niveaux TTL/NIM avec le Logiciel SPICE	----- page 25
Figure 15 : Câblage du NE555	----- .page 26
Figure 16 : Simulation Spice	----- page 27
Figure 17 : Implantation des visualisations de test.	----- Page 28
Figure 18 : La carte USB I/O24 liaison USB	----- .page 29
Figure 19 : Le CPLD, les récepteurs ECL et les translateurs de niveaux	----- page 31
Figure 20 : Les circuits annexes.	----- Page 32
Figure 21 : Les connecteurs	----- .page 33
Figure 22 : Simulation de la logique de Trigger.	----- Page 34
Figure 23 : Schématique de la logique de blocage	----- page 35
Figure 24 : OU pour le plan2 à 16 entrées	----- page 38

Figure 25 :	<i>Multiplexeur 4 entrées une sortie</i>	-----	page 39
Figure 26 :	<i>Simulation complète du CPLD</i>	-----	page 41
Figure 27 :	<i>Les fonctions de test du CPLD implantées dans la schématique</i>	-----	page 42
Figure 28 :	<i>Implantation des composants sur la surface ‘‘TOP ‘‘ et sur la surface ‘‘BOTTOM’’</i>	-	page 45
Figure 29 :	<i>Routage sur le’’ TOP’’ et le ‘‘BOTTOM’’</i>	-----	page 47
Tableau 1 :	<i>description des fonctions des entrées et sorties du récepteur ECL</i>	-----	page 19
Tableau 2 :	<i>description des fonctions des entrées et sortie du récepteur ECL</i>	-----	page 21
Tableau 3 :	<i>Table de vérité des composants</i>	-----	page 21
Tableau 4 :	<i>Niveaux logiques.</i>	-----	Page 23