



# Rapport de Stage Master 2

Sujet : Mise en œuvre d'une chaîne d'acquisition pour lecture de capteur  
SiPM

Encadrant laboratoire: Rémi CORNAT

Encadrant universitaire: François BERRY

Gaëtan CASTELNEAU  
MASTER 2 MICROÉLECTRONIQUE ET ARCHI-  
TECTURE DES CIRCUITS INTÉGRÉS

Université Blaise Pascal  
CLERMONT-FERRAND  
Année Universitaire 2014-2015



# Remerciements

Mes remerciements s'adressent tout d'abord à Rémi CORNAT pour sa disponibilité et pour m'avoir fourni un cadre de travail professionnalisant.

Merci à Franck GASTALDI pour la justesse des conseils et pistes de recherche qu'il m'a proposé pour me donner les moyens de répondre à mes problèmes.

Merci à Frédéric MAGNIETTE et à Miguel RUBIO-ROY pour leur réactivité face aux différents problèmes ou questions liés au logiciel de traitement.

Enfin, je remercie l'ensemble des membres du service électronique qui m'ont accueilli chaleureusement au sein de leur équipe, dans une ambiance propice à l'échange et à l'épanouissement personnel.

# Table des matières

|                                                                                         |           |
|-----------------------------------------------------------------------------------------|-----------|
| <b>Introduction</b>                                                                     | <b>6</b>  |
| <b>1 Présentation du Laboratoire</b>                                                    | <b>7</b>  |
| 1.1 Unité Mixte de Recherche . . . . .                                                  | 7         |
| 1.1.1 Le Centre National de la Recherche Scientifique . . . . .                         | 7         |
| 1.1.2 L'Institut National de Physique Nucléaire et de Physique des Particules . . . . . | 7         |
| 1.2 Le Laboratoire LePrince-Ringuet . . . . .                                           | 8         |
| 1.2.1 Organisation . . . . .                                                            | 8         |
| 1.2.2 Principales Expériences de Physique . . . . .                                     | 10        |
| <b>2 Le projet Easicosmic</b>                                                           | <b>12</b> |
| 2.1 Le banc cosmique . . . . .                                                          | 12        |
| 2.1.1 Les rayonnements cosmiques . . . . .                                              | 12        |
| 2.1.2 Les capteurs SiPm . . . . .                                                       | 12        |
| 2.1.3 L'ASIC EASIROC . . . . .                                                          | 13        |
| 2.2 La chaîne de mesure . . . . .                                                       | 14        |
| 2.2.1 Architecture classique . . . . .                                                  | 14        |
| 2.2.2 Nouvelle architecture . . . . .                                                   | 17        |
| 2.3 L'architecture du FPGA . . . . .                                                    | 18        |
| 2.3.1 Adaptation de la DIF . . . . .                                                    | 21        |
| <b>3 Modifications et corrections apportées au projet</b>                               | <b>23</b> |
| 3.1 Protocole de validations . . . . .                                                  | 23        |
| 3.2 Communication via Ethernet . . . . .                                                | 24        |
| 3.3 Configuration de l'ASIC . . . . .                                                   | 26        |
| 3.4 Lecture de l'ASIC . . . . .                                                         | 28        |
| 3.5 Validation de la chaîne complète . . . . .                                          | 31        |
| 3.6 Adaptation pour un autre ASIC : MAROC . . . . .                                     | 32        |
| <b>Conclusion</b>                                                                       | <b>36</b> |
| <b>A Architecture de la GDCC</b>                                                        | <b>38</b> |
| <b>B Histogramme de mesures d'un capteur SiPM</b>                                       | <b>39</b> |
| <b>C Extraits de la datasheet de l'ASIC EASIROC</b>                                     | <b>40</b> |
| <b>D Banc de test cosmique</b>                                                          | <b>42</b> |

# Table des figures

|      |                                                                                    |    |
|------|------------------------------------------------------------------------------------|----|
| 1.1  | Organigramme des services techniques . . . . .                                     | 9  |
| 1.2  | Répartition des chercheurs . . . . .                                               | 10 |
| 2.1  | Architecture de l'ASIC EASIROC . . . . .                                           | 13 |
| 2.2  | Carte EASIROC . . . . .                                                            | 14 |
| 2.3  | Chaîne de mesure classique . . . . .                                               | 15 |
| 2.4  | Carte DIF . . . . .                                                                | 16 |
| 2.5  | Carte GDCC . . . . .                                                               | 16 |
| 2.6  | Chaîne de mesure spécifique au projet . . . . .                                    | 17 |
| 2.7  | Montage des cartes . . . . .                                                       | 18 |
| 2.8  | Module SiPM . . . . .                                                              | 18 |
| 2.9  | Architecture d'origine de la GDCC . . . . .                                        | 19 |
| 2.10 | Intéfaçage GDCC DIF . . . . .                                                      | 20 |
| 2.11 | Architecture modifiée de la GDCC . . . . .                                         | 21 |
| 3.1  | Architecture de la GDCC avec "DIF link" . . . . .                                  | 25 |
| 3.2  | Signaux de configuration avec oscillations . . . . .                               | 26 |
| 3.3  | Signaux de configuration corrects . . . . .                                        | 27 |
| 3.4  | Signaux de configuration au deuxième chargement . . . . .                          | 27 |
| 3.5  | Architecture du nouveau protocole de lecture . . . . .                             | 28 |
| 3.6  | Opération de lecture sans tri . . . . .                                            | 29 |
| 3.7  | Opération de lecture avec tri . . . . .                                            | 30 |
| 3.8  | Réponse à un déclenchement avec 72 inverseurs . . . . .                            | 31 |
| 3.9  | Réponse à un déclenchement avec 152 inverseurs . . . . .                           | 31 |
| 3.10 | Sorties du capteur et de l'ASIC . . . . .                                          | 32 |
| 3.11 | Architecture de l'ASIC MAROC . . . . .                                             | 33 |
| 3.12 | Carte de test MAROC . . . . .                                                      | 34 |
| 3.13 | Signaux de configuration de MAROC 1 . . . . .                                      | 34 |
| 3.14 | Signaux de configuration de MAROC 2 . . . . .                                      | 35 |
| A.1  | Architecture complète de la GDCC . . . . .                                         | 38 |
| B.1  | Mesures effectuées par un SiPM en mode trace et histogramme des valeurs obtenues   | 39 |
| C.1  | Table des gains de préamplification en fonction des capacités de rétroaction . . . | 40 |
| C.2  | Registre de configuration d'ESIROC . . . . .                                       | 41 |
| D.1  | Ossature du banc de test . . . . .                                                 | 42 |
| D.2  | Disposition des scintillateurs . . . . .                                           | 42 |

# Liste des tableaux

|     |                                                  |    |
|-----|--------------------------------------------------|----|
| 1.1 | Expériences de physique du laboratoire . . . . . | 11 |
|-----|--------------------------------------------------|----|

# Introduction

La Physique des particules et la Physique nucléaire sont des domaines de la recherche qui impliquent de nombreuses disciplines et font appel aux dernières connaissances acquises, en physique fondamentale, mais également dans des spécialités telles que le traitement de données et l'instrumentation. Parmi les différentes expériences auxquelles participe le Laboratoire Leprince-Ringuet, certaines impliquent la réalisation de détecteurs de particules. Leur développement nécessite également la mise au point d'un dispositif de test et de calibration. Un tel système existe au laboratoire mais est devenu obsolète en raison de l'augmentation de la résolution des détecteurs développés. Il devint donc nécessaire de fabriquer un nouveau banc de test correspondant aux besoins actuels.

Ce projet a été bien avancé dans son développement par deux apprentis du laboratoire qui se sont succédés. Ma mission au cours du stage que j'ai réalisé, dans le cadre d'une deuxième année de Master en microélectronique, fut la poursuite de ce projet, essentiellement constituée d'un apport de solutions aux problèmes détectés sur les éléments existants. Ce rapport fait état des démarches adoptées pour mener cette tâche. Il sera présenté dans une première partie le cadre professionnel du stage. Le second chapitre fera un état du projet et des différents éléments constituant son avancement à mon entrée au laboratoire. Et ce afin de bien cerner les actions que l'on m'a confiées, qui seront l'objet du dernier chapitre.

# Chapitre 1

## Présentation du Laboratoire

### 1.1 Unité Mixte de Recherche

Le Laboratoire Leprince-Ringuet est la base d'une unité mixte de recherche, l'UMR 7638, incluant l'école Polytechnique (son site d'accueil), le Centre National de la Recherche Scientifique (CNRS) et plus spécifiquement l'Institut National de Physique Nucléaire et de Physique des Particules (IN2P3).

#### 1.1.1 Le Centre National de la Recherche Scientifique

Le CNRS est un établissement public à caractère scientifique et technologique, sous la tutelle du Ministère de l'Éducation Nationale, de l'Enseignement Supérieur et de la Recherche. Fondé en 1939, il compte actuellement plus de 11 100 chercheurs et 13 600 ingénieurs, techniciens et administratifs. Il comptabilisait en 2014 un budget de 3,29 milliards d'euros, dont 722 millions en ressources propres[3].

Les activités de recherche du CNRS s'étendent sur l'ensemble des domaines scientifiques, technologiques et sociétaux, et sont regroupés au sein de dix instituts de recherche :

- Institut des sciences biologiques (INSB)
- Institut de chimie (INC)
- Institut écologie et environnement (INEE)
- Institut des sciences humaines et sociales (INSHS)
- Institut des sciences de l'information et de leurs interactions (INS2I)
- Institut des sciences de l'ingénierie et des systèmes (INSIS)
- Institut national des sciences mathématiques et de leurs interaction (INSMI)
- Institut de physique (INP)
- Institut national de physique nucléaire et physique des particules (IN2P3)
- Institut national des sciences de l'univers (INSU)

Cette structure a permis de développer des projets d'envergure nationaux ou internationaux, impliquant des laboratoires de différents domaines, au moyen d'actions comme la Mission pour l'interdisciplinarité.

Parmi ces instituts, l'IN2P3 est plus particulièrement en charge du domaine d'activité du Laboratoire Leprince-Ringuet.

#### 1.1.2 L'Institut National de Physique Nucléaire et de Physique des Particules

L'Institut National de Physique Nucléaire et de Physique des Particules a été créé en 1971 afin de « promouvoir et fédérer les activités de recherche dans les domaines de la physique nucléaire, physique des particules et astroparticules »[2].

Il a pour axe de recherche les différentes thématiques liées au Modèle Standard, description

de notre vision actuelle de la matière. Celle-ci implique la physique des particules traitant des quatre interactions fondamentales, la physique hadronique qui s'intéresse à la manière dont les quarks s'unissent, ainsi que l'analyse de systèmes plus complexes que sont les noyaux atomiques qui définit la physique nucléaire.

En raison de la complexité des différents projets et expériences concernées, les membres de l'Institut travaillent au sein de collaborations internationales. Certaines sont de grande ampleur telles que Atlas et CMS, impliquant chacune plus de 2000 chercheurs provenant de plus de 37 pays. L'IN2P3 est également amené à échanger avec d'autres secteurs de la recherche de par les thématiques abordés mais aussi par les outils développés dans le cadre de celles-ci. Ainsi, des thèmes de recherche interdisciplinaires, tels que l'instrumentation pour l'imagerie médicale ou les grilles de calcul, sont développés par l'Institut.

## 1.2 Le Laboratoire LePrince-Ringuet

Le Laboratoire LePrince-Ringuet fut fondé en 1936, par Louis LePrince-Ringuet, professeur à l'école Polytechnique, à l'origine sous l'appellation : Laboratoire de Physique Nucléaire des Hautes Energies (LPNHE-X).

Les deux domaines dans lesquels est impliqué le LLR que sont la physique des particules et l'astronomie gamma de très haute énergie font appel à de nombreuses compétences dans différents domaines. Le Laboratoire est donc structuré afin de répondre à la plupart de ses exigences en interne.

Ainsi, il se compose de plusieurs équipes techniques permettant de répondre aux besoins des chercheurs affectés à diverses expériences.

### 1.2.1 Organisation

La direction du Laboratoire est assurée par Jean-Claude BRIENT, avec Pascal PAGANINI (Directeur Adjoint) et Elodie DUBOIS (Assistante de direction). Marc ANDUZE est chargé de la direction des services techniques et Thu BIZAT est responsable du service administratif. Le personnel des différents services présentés ci-après est détaillé sur la figure 1.1.

Le service administratif, composé de 8 personnes, accompagne le personnel dans des démarches telles que l'élaboration de contrats, renseigne sur les évolutions de carrière possibles, et offre un soutien logistique pour l'organisation de colloques ou de séminaires. Il effectue un suivi des budgets alloués aux différentes expériences. Ce service participe également à la communication du laboratoire sur le site internet, par l'élaboration des plaquettes du laboratoire et vis-à-vis des événements auxquels il participe. Il permet à la direction d'avoir une vision d'ensemble sur les possibilités techniques et légales du laboratoire qui est nécessaire aux prises de décisions.

Le service informatique se compose de seize membres. Leur travail s'organise autour de quatre actions principales :

- l'administration des systèmes et des réseaux
- gestion de la Grille de Calcul
- développement des logiciels spécifiques aux expériences de physique
- aménagement d'une plateforme d'accès en ligne aux systèmes de contrôle-commande et acquisition en temps réel.

Le service mécanique est constitué de douze ingénieurs et techniciens répartis en quatre groupes : étude de projet, méthode et CFAO, atelier et service général. Ses missions sont l'étude, la réalisation, le transport et l'installation sur site des détecteurs et appareillage de physique.

Elles concernent donc principalement les projets internationaux ainsi que certains prototypes pour des besoins internes.

Le service électronique, incluant neuf personnes, est chargé de la conception et réalisation des systèmes électroniques, numériques et analogiques, pour la métrologie et l'interfaçage des détecteurs, le contrôle-commande et l'acquisition de mesures. Il répond aux projets régulièrement proposés par l'équipe de chercheurs du laboratoire.

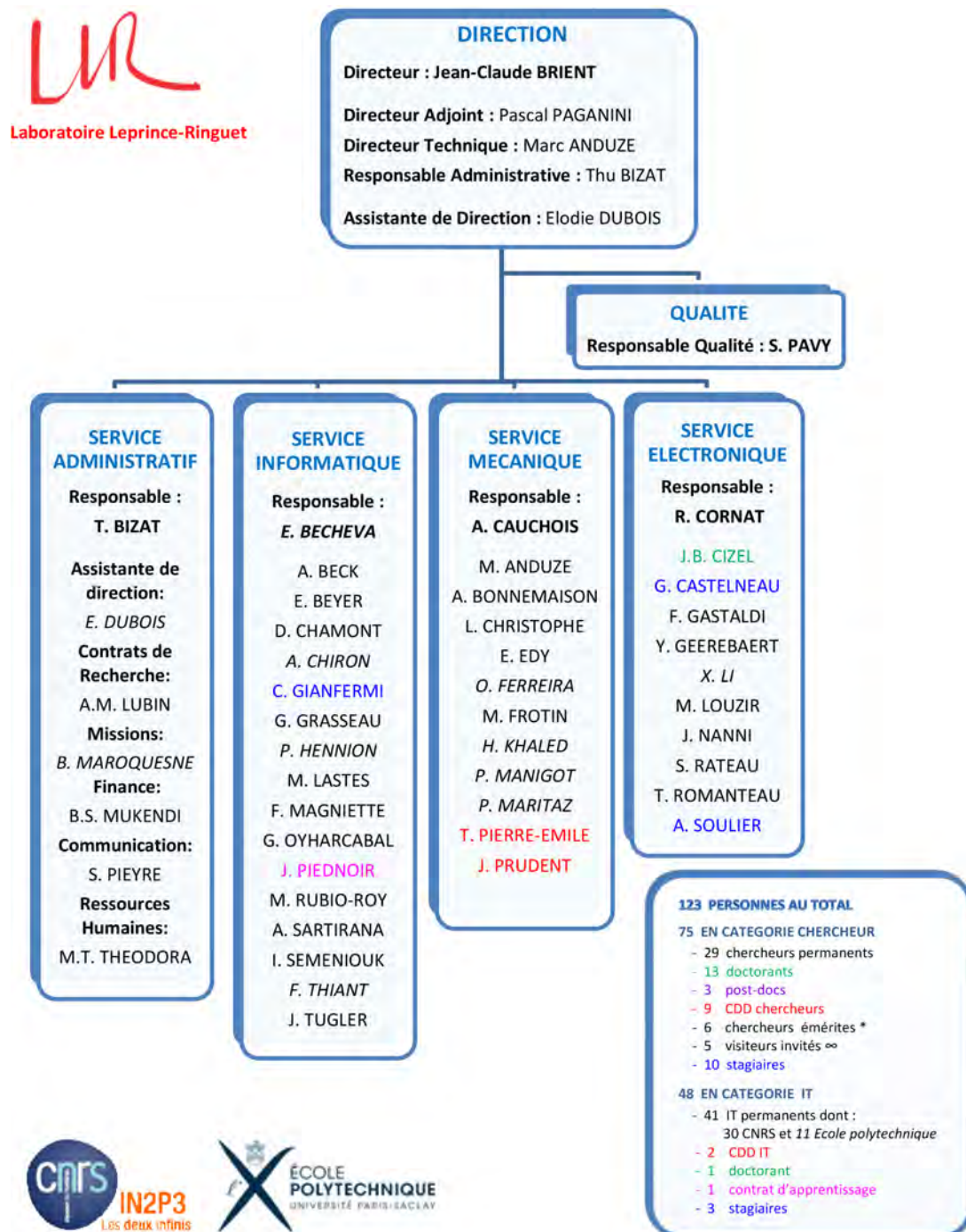


FIGURE 1.1 – Organigramme des services techniques

## 1.2.2 Principales Expériences de Physique

Les Physiciens mènent ou participent à de nombreux projets d'envergure internationale décrits en table 1.1. Leur répartition est détaillée en figure 1.2.

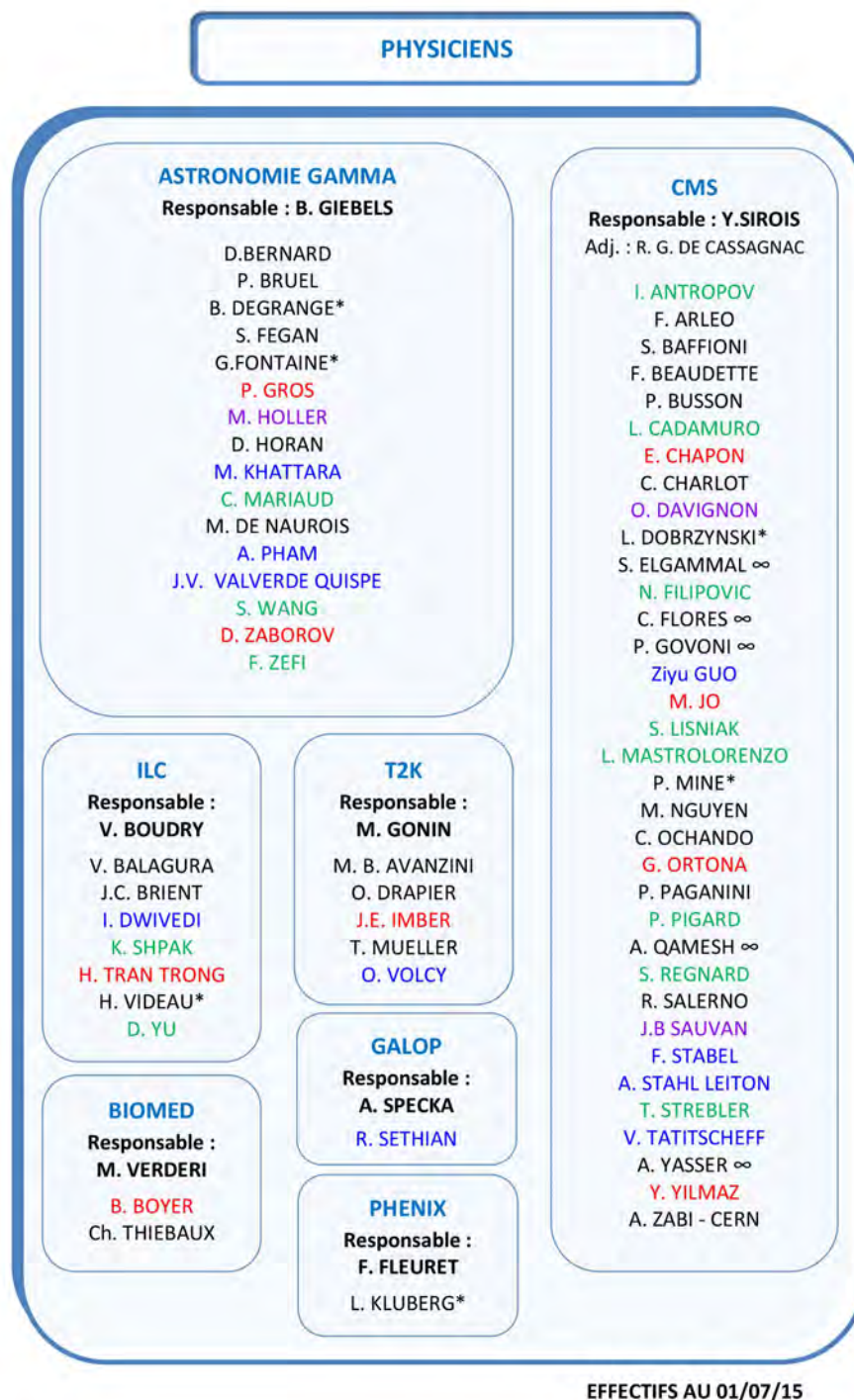


FIGURE 1.2 – Répartition des chercheurs

| Expérience              | Description                                                                                                                                                                                                                                                                                                       |
|-------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| Physique des particules |                                                                                                                                                                                                                                                                                                                   |
| BIOMED                  | Application, dans le domaine de l'instrumentation médicale, du savoir-faire acquis sur les autres projets                                                                                                                                                                                                         |
| CMS                     | <i>Compact Muon Solenoid</i> : expérience de collision protons-protons effectuée au LHC <sup>a</sup> au CERN <sup>b</sup> .                                                                                                                                                                                       |
| GALOP                   | Étude et développement d'une nouvelle génération d'accélérateur/-collisionneur de particules.                                                                                                                                                                                                                     |
| ILC - CALICE            | <i>International Linear Collider</i> : collisionneur d'électrons et de positrons<br><i>CALorimeter for LInear Collider Experiment</i> : collaboration internationale étudiant un calorimètre à haute granularité, avec pour cible le projet ILC mais applicable dans d'autres domaines comme l'imagerie médicale. |
| PHENIX                  | <i>Pioneering High Energy Nuclear Interaction eXperiment</i> : expérience menée au RHIC <sup>c</sup> aux États-Unis, dont le but principal est la production d'un plasma de quarks et de gluons.                                                                                                                  |
| T2K                     | <i>Tokai to Kamioka</i> : expérience étudiant les oscillations d'un faisceau de neutrinos muons entre l'accélérateur J-PARC à Tokai et le détecteur Super-Kamiokande situé à 280 km.                                                                                                                              |
| Astronomie Gamma        |                                                                                                                                                                                                                                                                                                                   |
| CTA                     | <i>Cherenkov Telescop Array</i> : projet de construction de deux nouveaux réseaux de télescopes (une cinquantaine) pour l'observation de rayons gamma de très hautes énergies sur le plan Galactique et extragalactique.                                                                                          |
| FERMI                   | Observatoire orbital permettant l'analyse de rayons gamma dans une gamme énergétique inférieure et complémentaire avec celle des observatoires au sol.                                                                                                                                                            |
| HARPO                   | <i>Hermetic ARgon POLarimeter</i> Développement d'un polarimètre ayant une meilleure résolution angulaire que les télescopes actuels, permettant de combler des lacunes dans la compréhension des spectres.                                                                                                       |
| HESS                    | <i>High Energy Stereoscopic System</i> . Réseau de télescopes à effet Cherenkov actuel que le projet CTA a pour objectif de surpasser en performance d'un ordre de grandeur.                                                                                                                                      |

<sup>a</sup> Large Hadron Collider    <sup>b</sup> Organisation Européenne pour la Recherche Nucléaire

<sup>c</sup> Relativistic Heavy Ion Collider

TABLE 1.1 – Expériences de physique du laboratoire

Ces projets sont réalisés sur plusieurs années et constituent le cœur d'activité du laboratoire. Le projet Easicosmic que j'ai eu pour mission de poursuivre au cours de mon stage ne fait pas directement partie d'une des grandes expériences mais répond à un besoin interne de mise à niveau d'un banc de test pour des détecteurs de particules. Le chapitre suivant aborde plus précisément les tenants et les aboutissants de ce projet.

## Chapitre 2

# Le projet Easicosmic

### 2.1 Le banc cosmique

Le banc de test existant reposant sur une technologie dépassée, un projet de mise à niveau de celui-ci a été mis en place. Le but de ce bac est de permettre le test et la calibration de détecteurs de particules au moyen de rayonnements cosmiques.

#### 2.1.1 Les rayonnements cosmiques

Les rayons cosmiques sont des particules à haute énergie également appelées astroparticules se déplaçant dans l'espace à des vitesses proches de celle de la lumière. Ce flux est constitué principalement de protons (85%), de noyaux d'hélium (14%), d'électrons(1%), ainsi que d'autres noyaux atomiques. [1] Leurs interactions avec l'atmosphère terrestre entraînent la production de particules secondaires sous forme de gerbes atmosphériques. Elles sont principalement constituées de rayons gamma, de neutrinos et de muons. Ces derniers étant particulièrement intéressants dans notre cas car ils sont détectables au moyen de scintillateurs (composé plastique) qui émettent des photons lorsqu'ils sont traversés par une particule chargée. La régularité de l'énergie déposée font de ces particules une bonne référence pour l'étalonnage de détecteurs. La quantité de photons engendrée est très faible (de l'ordre de l'unité), il est donc nécessaire d'utiliser un capteur avec une importante sensibilité.

Le choix a été fait, pour la mise à niveau du banc de test, d'utiliser des photodétecteurs de type SiPM notamment pour leur intégrabilité. Ils seront organisés autour d'une structure D.1 comportant deux plans pour disposer les scintillateurs, et un plan médian pour le détecteur à tester. Les plans de disposition des scintillateurs sont doubles afin de créer un système de coordonnées pour chacun. Il sera alors possible de connaître la trajectoire du rayon cosmique et d'en déduire l'orientation et la position au niveau du capteur testé.

#### 2.1.2 Les capteurs SiPm

Les SiPM (*Silicon Photomultiplier*) sont des détecteurs de photons sensibles à l'unité. Ils sont constitués de nombreuses photodiodes placées en mode Giger-Müller : les photodiodes sont alimentées avec une tension inverse supérieure à sa tension de claquage. Le passage de photons entraîne un phénomène d'avalanche permettant un gain important en courant, celui-ci étant limité par un élément résistif.

Le principal inconvénient est le déclenchement de l'avalanche par simple agitation thermique, la fréquence moyenne de ces déclenchements est appelé *dark count*. Il est proportionnel à la surface de la photodiode. L'intérêt d'utiliser plusieurs petites photodiodes en parallèle est donc de pouvoir compter le nombre de photons simultanés, et de définir un seuil minimum : le déclenchement de plusieurs photodiodes ayant une faible probabilité en absence de flux de photons, et une forte probabilité dans le cas contraire, cela permet de séparer le signal du bruit.

Ces capteurs sont beaucoup moins encombrants que les technologies précédentes. De plus, leur tension de polarisation est comparativement faible : de l'ordre de la centaine de Volts pour plusieurs milliers de Volts dans le cas de photomultiplicateurs à tubes. Ils ont par ailleurs l'avantage d'être pratiquement insensibles aux champs magnétiques.[4][5] La charge de photoélectrons générée par le capteur nécessite un traitement ainsi qu'une sélection des mesures dont les valeurs sont significatives. Ces opérations sont effectuées dans notre cas par un ASIC<sup>1</sup>, un circuit intégré conçu précisément pour ce besoin.

### 2.1.3 L'ASIC EASIROC

Ce composant a été développé par l'équipe Omega qui est spécialisée dans la réalisation d'ASIC pour la physique nucléaire. L'EASIROC, *Extended Analog Silicon pm Integrated Read Out Chip*, permet la lecture de 32 voies de capteurs SiPM. Il a été choisi principalement pour sa spécialisation sur ce type de capteur.

Son architecture est détaillée figure 2.1

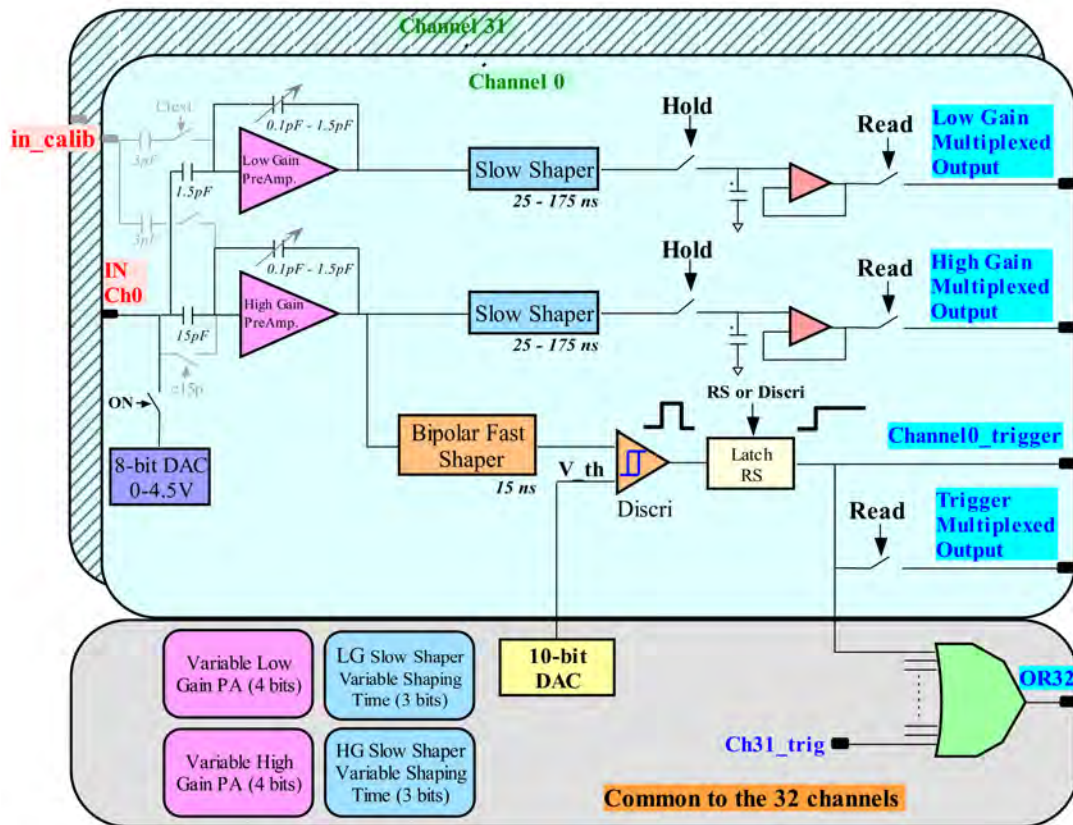


FIGURE 2.1 – Architecture fonctionnelle de l'ASIC EASIROC C.2

Seule une voie est représentée sur ce schéma, cette configuration est donc répétée 32 fois dans le circuit intégré. Chaque entrée est référencée à la valeur de sortie d'un convertisseur analogique numérique (ou DAC pour *Digital to Analog Converter*), permettant d'ajuster indépendamment la tension d'alimentation des capteurs. On remarque ensuite deux lignes de conditionnement : une avec un gain faible (*Low Gain PreAmp*), la seconde avec un gain élevé (*High Gain PreAmp*). Toutes deux sont également composées de filtres CRRC<sup>2</sup> (*Slow Shaper*) qui permettent de régler le temps de montée du signal obtenu après mesure de la charge. Ce réglage influence directement sur la valeur du gain C.1. Le dernier élément est une cellule mémoire analogique d'appellation

1. Application-Specific Integrated Circuit

*Track and Hold* constitué d'une capacité et d'un suiveur. On la commande soit en position de lecture avec l'interrupteur *Hold* ouvert et *Read* fermé, soit en position de suivi (*Track*) dans la configuration inverse.

La troisième ligne est constituée principalement d'un filtre à temps de montée courte et d'un discriminateur. Elle a pour fonction la détection rapide d'un signal significatif, à savoir qu'il doit dépasser un certain seuil dont la valeur est réglable. On obtient ainsi un signal de déclenchement (communément appelé *Trigger*) qui permet de lancer une lecture des mesures au bon moment, en ayant mémorisé le signal au plus près de son maximum.

Le module accueillant le détecteur SiPM et la carte électronique associée à l'ASIC (figure 2.2, désignée par la suite par "carte EASIROC") ont été développés par Julien QUARRÉ dans le cadre d'une formation d'ingénieur par apprentissage. Cette dernière inclue notamment les alimentations du circuit intégré, les connecteurs des 32 voies d'entrées, ainsi qu'un connecteur incluant les entrées et sorties numériques et les sorties des mémoires analogiques.

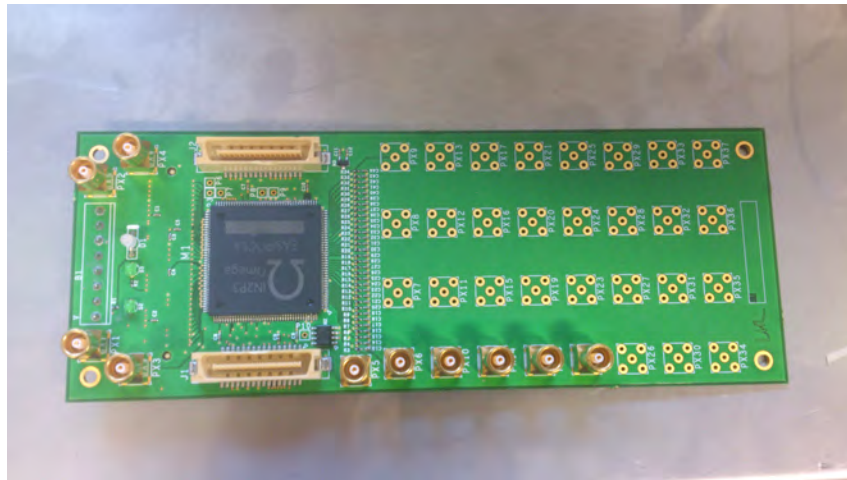


FIGURE 2.2 – Carte *EASIROC Trigger Board*

La constitution d'une chaîne de mesure complète nécessite diverses fonctionnalités telles que la programmation du circuit intégré, la gestion de la lecture des mesures et la conversion en numérique des valeurs analogiques mémorisées.

## 2.2 La chaîne de mesure

Avant de présenter la façon dont ces fonctions ont été mise au point, on va décrire une architecture matérielle en fonctionnement sur d'autres projets. Celle-ci étant la base utilisée pour le développement de notre système, cela permettra une meilleure compréhension des modifications apportées et des problèmes qui ont pu en découler.

### 2.2.1 Architecture classique

Cette structure a été développée en compatibilité avec d'autres ASIC qui incluent des convertisseurs analogique numérique. Elle est présentée schématiquement figure 2.3. La configuration et la lecture des mesures est gérée par une carte DIF (figure 2.4), *Detector Interface*. Celle-ci est interfacée avec une carte GDCC (figure 2.5), *Giga Data Concentrator Card* qui communique, par connexion Ethernet, avec l'ordinateur sur lequel est installé le logiciel de traitement des données. Le logiciel utilisé est Calicoes, un outil spécifique à ce type d'application, qui est installé dans un environnement Pyrame. Ce dernier est une plateforme développée par des informaticiens du

laboratoire ayant pour objectif de permettre le contrôle et l'acquisition de mesures via internet.

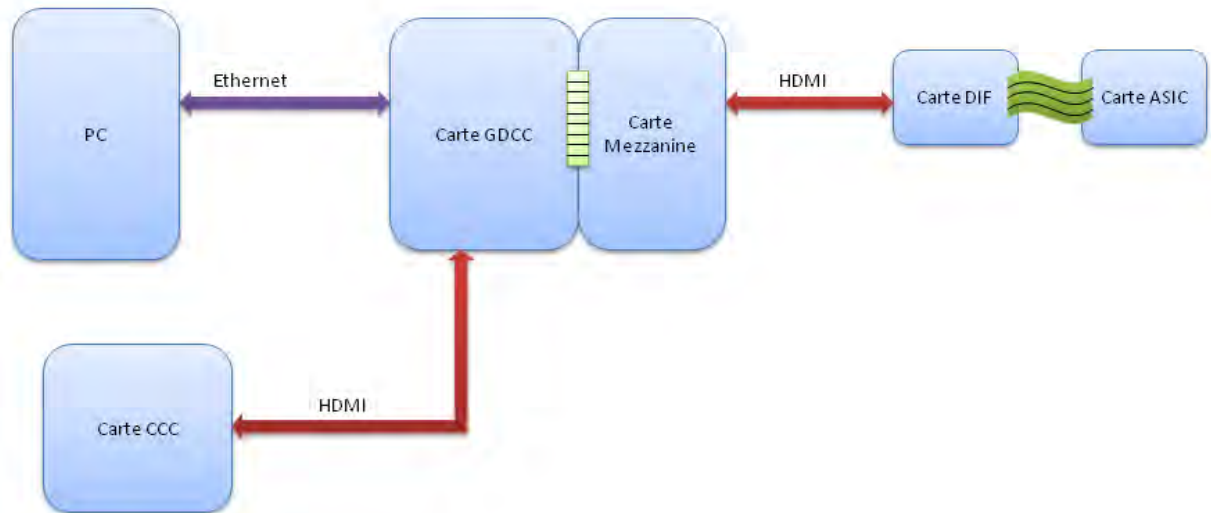


FIGURE 2.3 – Chaîne de mesure classique

La GDCC effectue la mise en forme des données envoyées par la DIF. Par ailleurs, elle interprète les commandes qui lui sont adressées et fait suivre celles adressées à la DIF. Elle permet notamment d'interfacer plusieurs cartes DIF, regroupant ainsi la gestion de différents ensembles de capteurs sur un même flot de données. La communication entre la DIF et la GDCC se fait par une connexion HDMI, les connecteurs étant placés sur une carte "mezzanine", avec un protocole de communication "8b10b".

Un système de commande parallèle à l'ordinateur, la carte CCC (*Clock and Control Card*), permet de générer une horloge de référence et des commandes rapides adressées à la DIF. Sa fonction est de pouvoir assurer le fonctionnement d'un système comprenant plusieurs GDCC de façon synchrone.



FIGURE 2.4 – Carte DIF

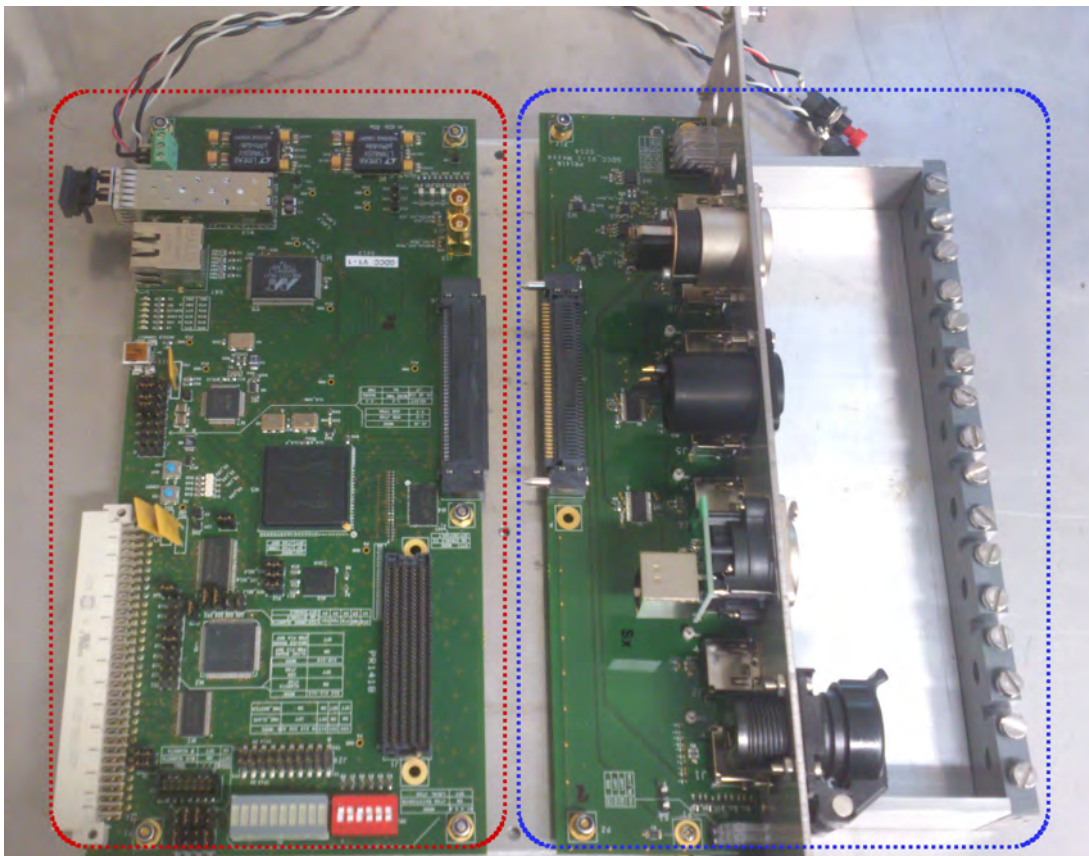


FIGURE 2.5 – Carte GDCC (en rouge) et sa mezzanine (en bleu)

La GDCC et la DIF sont toutes deux conçues autour d'un circuit intégré de type FPGA : *Field Programmable Gate Array*. Un FPGA est un circuit intégré reconfigurable. Cette configuration se fait au moyen d'un langage informatique de type HDL, *Hardware Description Language*. Sa particularité est qu'il ne correspond pas à des instructions exécutables comme pour un lan-

gage de programmation, mais à la description d'une architecture matérielle. Le langage utilisé pour ce projet est le VHDL.

Le FPGA utilisé pour la GDCC est un Spartan 6, produit par Xilinx. C'est un composant avec une capacité relativement grande par rapport à l'occupation des fonctionnalités de la GDCC. Il a donc été décidé, dans le cadre de ce projet, de faire fusionner les fonctions de la DIF dans le FPGA de la GDCC. Cette configuration permet un gain de ressources et pourra être réutilisée dans des projets requérant une grande intégrabilité.

### 2.2.2 Nouvelle architecture

L'architecture spécifique à ce projet2.6 a été principalement développée par Kévin GIUSTO lors de sa deuxième année de Master en apprentissage, avec la participation de membres du laboratoire dont Marc LOUZIR, qui travaille sur un projet utilisant la même configuration de la GDCC. Une nouvelle carte mezzanine fut réalisée afin de permettre la connexion avec la carte EASIROC, ainsi que pour accueillir les deux convertisseurs analogique numérique nécessaires (pour les mesures avec gain faible et gain élevé). Cette carte comprend également des adaptateurs de niveau afin de faire correspondre les entrées et sorties du FPGA (LVCMOS 2,5V), avec celles de l'EASIROC (LVTTL 3,3V).

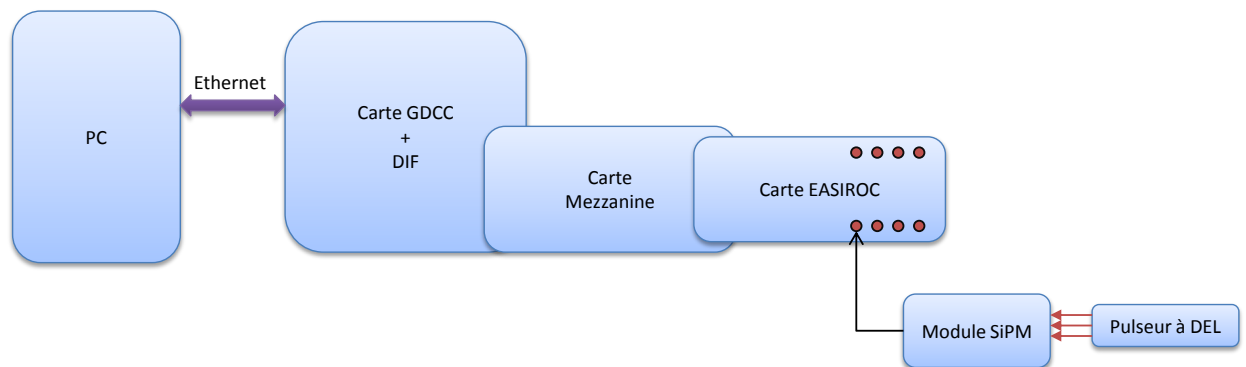


FIGURE 2.6 – Chaîne de mesure spécifique au projet

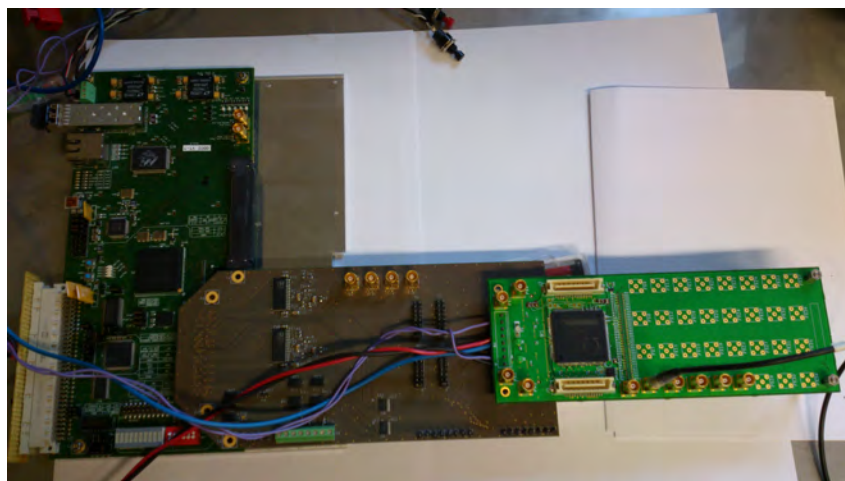


FIGURE 2.7 – Montage des cartes GDCC, mezzanine et EASIROC

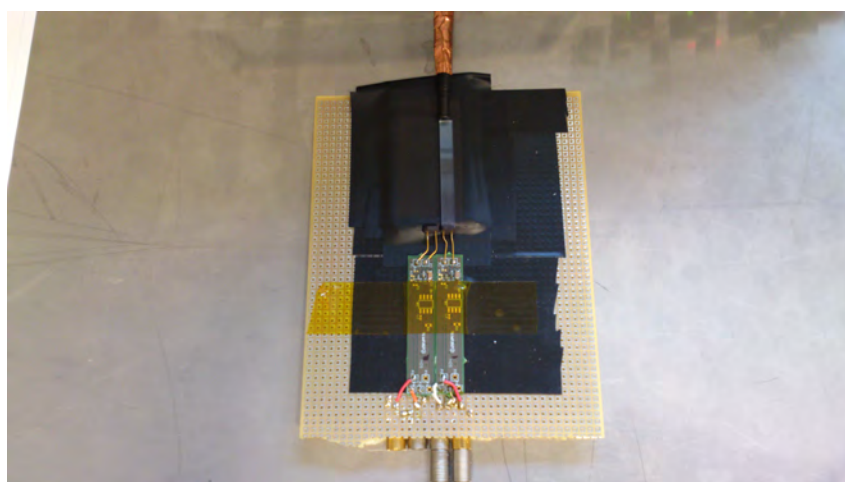


FIGURE 2.8 – Module du détecteur SiPM avec scintillateur et pulseur lumineux

## 2.3 L'architecture du FPGA

La fusion entre les deux FPGA a été effectuée en conservant la structure principale de chaque composant, seule l'interfaçage entre ceux-ci a été modifiée dans un premier temps.

### Structure de la GDCC

La configuration d'origine de la GDCC est en partie représentée sur le schéma de la figure 2.9 (la version complète est présente en annexe A.1). La communication avec la DIF est assurée par le composant "DIF Link" qui inclue un sérialiseur/désérialiseur, nécessaire à la transmission des signaux sur une liaison série entre les deux composants.

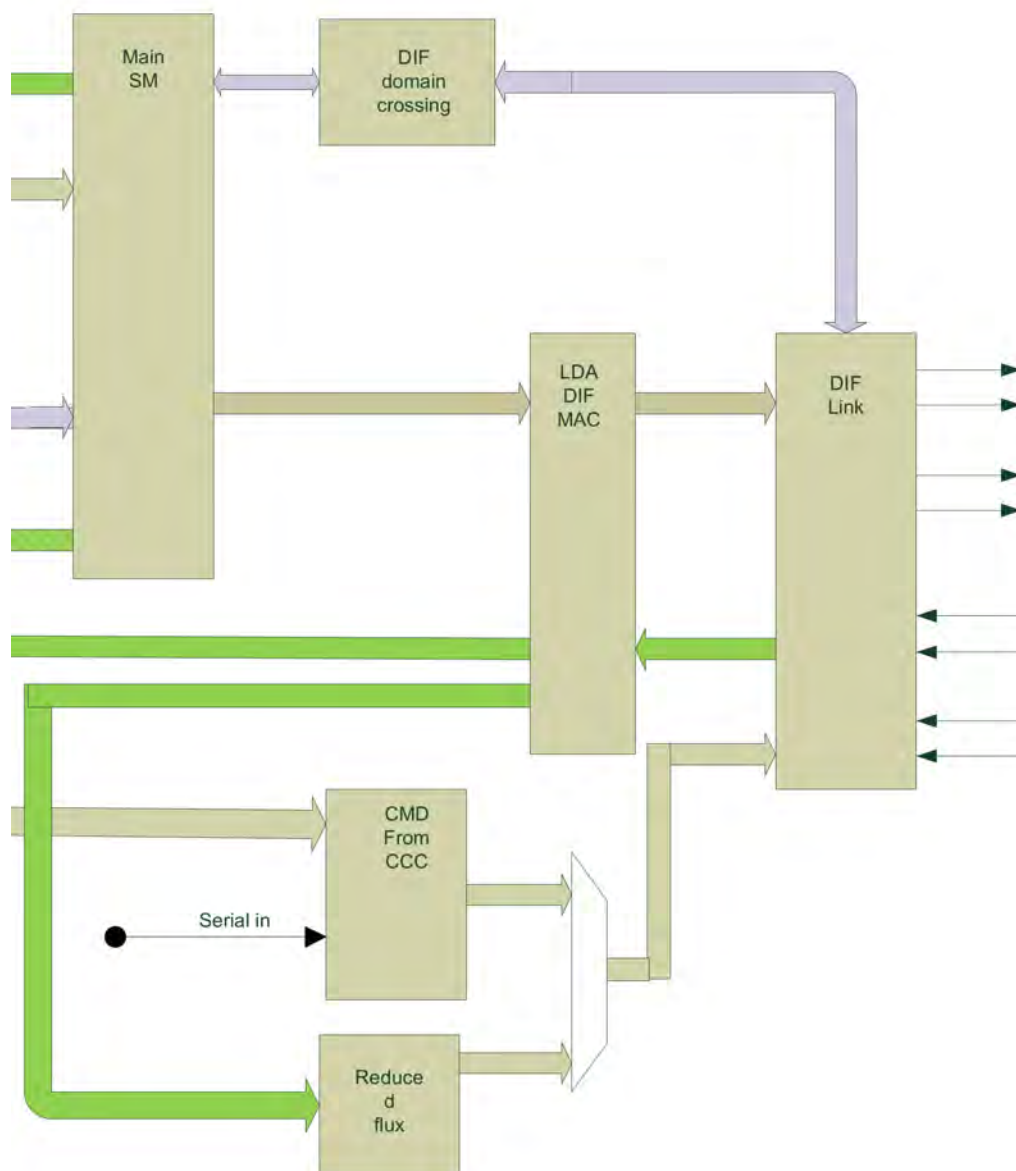


FIGURE 2.9 – Architecture d’origine de la GDCC

Afin d’optimiser les ressources du FPGA, il a été décidé de supprimer les fonctions de sérialisation et désérialisation dans la partie GDCC et dans la partie DIF. En effet, une liaison série est intéressante au niveau matériel, car elle permet de minimiser le nombre de connexions à réaliser. Mais elle occupe plus de place dans le FPGA et est également coûteuse en temps de transmission par rapport à une liaison parallèle. Cette suppression a amené Kevin à créer une interface définie au sein du composant LDA\_DIF\_MAC (qui assure notamment une mise en mémoire tampon dans les deux sens de transmission). Elle est nécessaire pour pouvoir faire correspondre les signaux envoyés et reçus par chaque composant qui ne suivent pas la même logique à l’envoi et à la réception comme présenté figure 2.10.



FIGURE 2.10 – Entrées et sorties de la GDCC et de la DIF

Le schéma figure 2.11 représente la partie GDCC modifiée. Les changements apportés côtés DIF sont uniquement la suppression de la sérialisation et de la désérialisation puisque l'adaptation est effectuée côté GDCC.

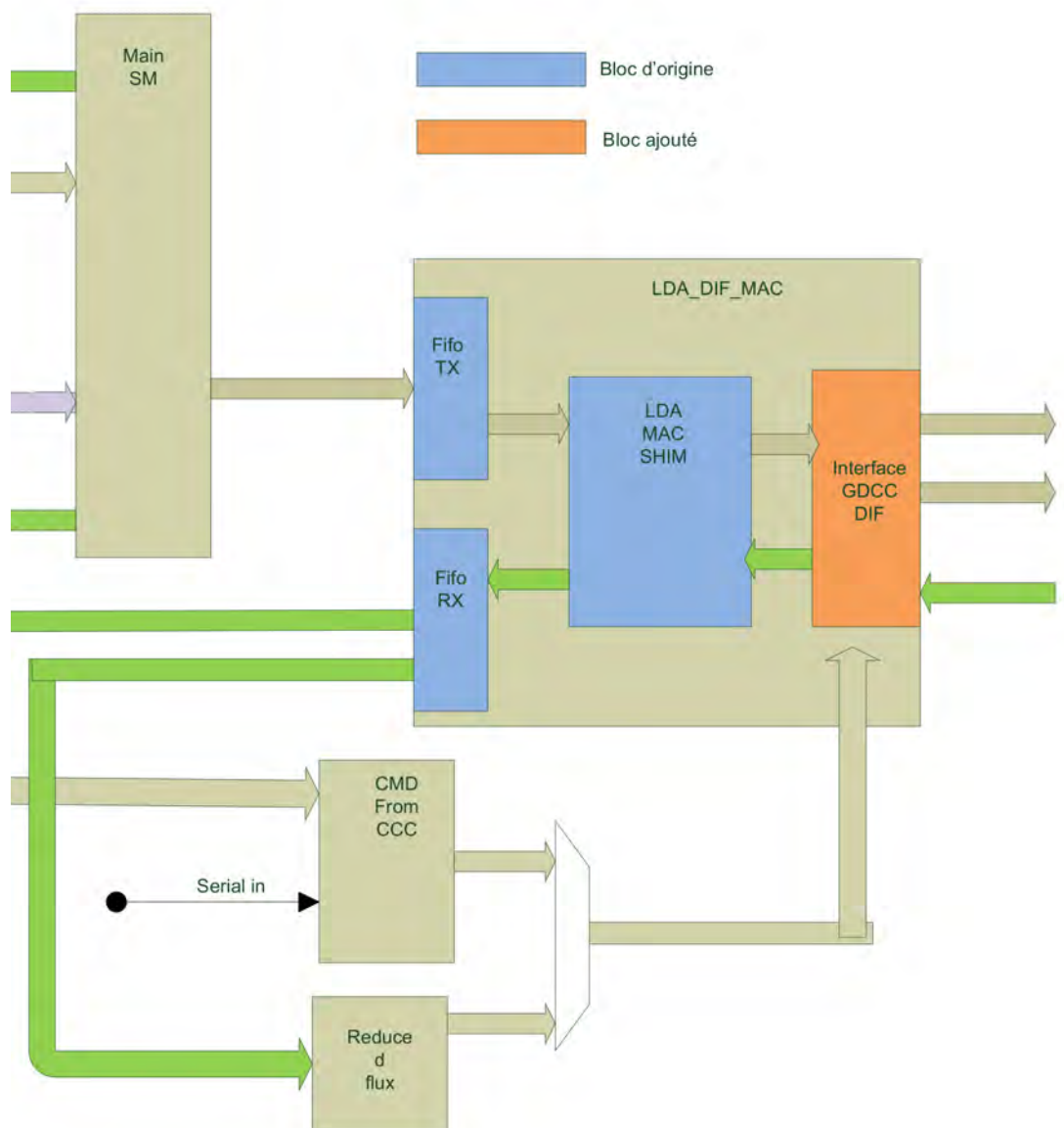


FIGURE 2.11 – Architecture modifiée de la GDCC

### 2.3.1 Adaptation de la DIF

La seconde étape des réalisations menées par Kévin est l'adaptation des deux fonctions principales de la DIF, à savoir la gestion de la configuration de l'ASIC et celle de la lecture des mesures. En effet, les ASIC anciennement supportés par la DIF ne comprenaient pas l'EASIROC. Il a donc fallu effectuer une modification des signaux d'entrée et de sortie de la DIF côté interface ASIC. De plus, le protocole de lecture a été entièrement repris, notamment pour pouvoir inclure la commande des convertisseurs analogique numérique présents sur la carte mezzanine. La configuration, en revanche, nécessitait peu de changement : le principe étant le chargement d'un registre à décalage, la seule modification à apporter au niveau de la DIF fut de prévoir une valeur de configuration pour celle-ci correspondant à la taille du registre à décalage présent dans l'EASIROC. Les valeurs à charger dans le registre sont définies avec le logiciel de contrôle-commande.

Ces développements réalisés par Kévin ont été vérifiés par simulations fonctionnelles. Les tests physiques n'ont été concluants que jusqu'à la communication avec la partie GDCC. Á cette étape du projet, des problèmes persistaient dans la communication avec la partie DIF (présente dans le FPGA de la carte GDCC). Ces dysfonctionnements ont pu être relevés au moyen de commandes s'adressant à des éléments spécifiques du FPGA. J'ai repris la poursuite du projet Easicosmic à ce niveau. La description de la procédure appliquée pour la continuation de ce développement fera l'objet du chapitre suivant.

## Chapitre 3

# Modifications et corrections apportées au projet

Après une phase de documentation et d'analyse nécessaire à la compréhension des tenants et aboutissants du projet, la première partie de mon travail fut de mener une restructuration des fichiers sources utilisés pour la définition de l'architecture à implémenter dans le FPGA. Les sources utilisées jusqu'alors étaient, pour certaine, obsolète. Une utilisation de fichiers présents sur le réseau interne a donc été mise en place. Cette opération m'a, par ailleurs, permis de me familiariser avec la structure du code VHDL qui, bien qu'il ne contienne pas d'éléments difficile à comprendre ou à manipuler, implique une hiérarchie relativement complexe.

### 3.1 Protocole de validations

La validation de corrections ou de modifications apportés au code VHDL, a été menée en suivant différentes étapes.

#### Simulation

Une première partie fut opérée avec des logiciels de Cadence dans un environnement Linux. Les trois outils utilisés sont :

- NC-VHDL pour la vérification de la syntaxe des codes ;
- NC-elab pour l'élaboration des liens entre les différents éléments et donc la définition de la hiérarchie globale ;
- NC-sim pour la simulation fonctionnelle de l'ensemble du code.

Ayant fixé pour premier objectif de valider les fonctionnalités qui avaient déjà été vérifiées, j'ai menée des corrections seulement jusqu'à obtention d'une réponse de la GDCC en simulation, en utilisant les mêmes stimuli que ceux envoyer par le logiciel via la connexion Ethernet.

La seconde étape de cette validation fut de synthétiser et d'implémenter le code VHDL.

#### Synthèse et Implémentation

La synthèse d'un code HDL consiste à interpréter une description logique ou comportementale en une architecture utilisant des composants existant dans la technologie choisie. Elle implique de nombreuses interprétations et simplifications en fonction de la stratégie imposée au logiciel.

L'implémentation comprend principalement le placement et le routage, qui définissent la manière dont l'architecture spécifiée lors de la synthèse sera agencée au sein du FPGA. La principale difficulté pour le logiciel est alors de répartir les différents composants et de les relier de façon à

respecter les contraintes temporelles qu'on lui a indiquées. Ces contraintes permettent d'assurer que les délais de propagation des signaux ne sont pas trop importants entre deux éléments synchronisés. Cette étape est également susceptible d'apporter des simplifications au système. Ces simplifications sont généralement vérifiées par une simulation temporelle. Toutefois, n'ayant pas d'outils permettant la synthèse et l'implémentation dans l'environnement Linux, ces opérations ont été menées avec PlanAhead, un logiciel de la suite ISE de Xilinx. Un problème de compatibilité entre les résultats fournis par PlanAhead et Cadence m'a amené à vérifier les simplifications éventuelles, par une visualisation schématique du résultat, et par une analyse des messages fournis sur ces opérations.

Une fois ces étapes validées ou les corrections nécessaires effectuées le cas échéant, j'ai pu vérifier le fonctionnement de l'implémentation matérielle réalisée en connexion avec l'ordinateur de test.

## 3.2 Communication via Ethernet

Cette partie concerne les tests de la carte GDCC seule, dans le but de valider la communication par Ethernet ainsi que la configuration de la partie DIF. Contrairement aux tests menés par mon prédécesseur, la version du logiciel de traitement de données utilisée est une version complète et à jour. Les commandes utilisées sont identiques dans mon cas et dans la version allégée qu'il utilisait mais cela me permet de valider dans un même temps le développement du logiciel qui n'a pas été vérifié pour l'ASIC EASIROC. De petites erreurs ont ainsi pu être ciblées et corrigées avec l'aide des informaticiens en charge du développement logiciel. D'autre part, cette version inclut une commande de configuration générale me permettant de valider par étape différents points sensibles du flux de données.

Les premiers tests ont rapidement permis de confirmer la communication avec la GDCC au moyen d'une commande de demande de version à laquelle la GDCC doit répondre un message contenant un numéro de version et une date. Par la suite, j'ai pu constater un problème, qui avait déjà été rapporté, lors de l'exécution d'une commande vérifiant le statut de la DIF. Ce problème est compréhensible puisque la réponse attendue doit être fournie par le composant "DIF Link" évoqué dans le chapitre précédent (cf. figure 2.3). Ce composant assurant la communication avec la DIF, il permettait de connaître l'état de la connexion avec celle-ci. La solution adoptée fut de réinsérer en partie ce composant en lui appliquant des valeurs d'entrée adéquates afin qu'il renvoie toujours une valeur correspondant à une connexion opérationnelle. L'architecture obtenue est représentée figure 3.1. Le composant "DIF domain crossing" permet sa connexion avec "Main SM" (élément principal de la GDCC dont le rôle est de contrôler les autres composants les uns par rapport aux autres). Il avait à l'origine pour but de gérer la différence de fréquences de fonctionnement entre la GDCC et la communication avec la DIF, mais n'est utilisé ici que pour simplifier la réutilisation de composants existants.



mais il s'est avéré que cette inversion est présente même avec une DIF externe et qu'elle est corrigée par le logiciel. La modification dans l'architecture du FPGA aurait nécessité la suppression de cette correction dans le logiciel mais aussi une modification dans tous les systèmes l'utilisant. Elle n'a donc pas été appliquée, d'autant que cela n'entraîne pas d'autre complication à priori.

### 3.3 Configuration de l'ASIC

Cette configuration, appelée *Slow Control*, consiste à charger un registre à décalage dont les valeurs correspondent à différents réglages détaillés en annexe C.2. Comme cela a déjà été mentionné, la mise en fonctionnement de la configuration ne nécessitait que peu de changement dans le FPGA. Toutefois, c'est dans ce cadre qu'on été effectués les premiers test impliquant la carte EASIROC, connectée via la nouvelle carte mezzanine

Ceux-ci n'ont pas été concluant et m'ont fait remettre en question différents éléments, notamment la carte EASIROC. En effet, les signaux obtenus figure 3.2 ont des oscillations très rapides (d'environ 60 MHz) par rapport à la fréquence d'horloge émise (de l'ordre des 2 MHz).

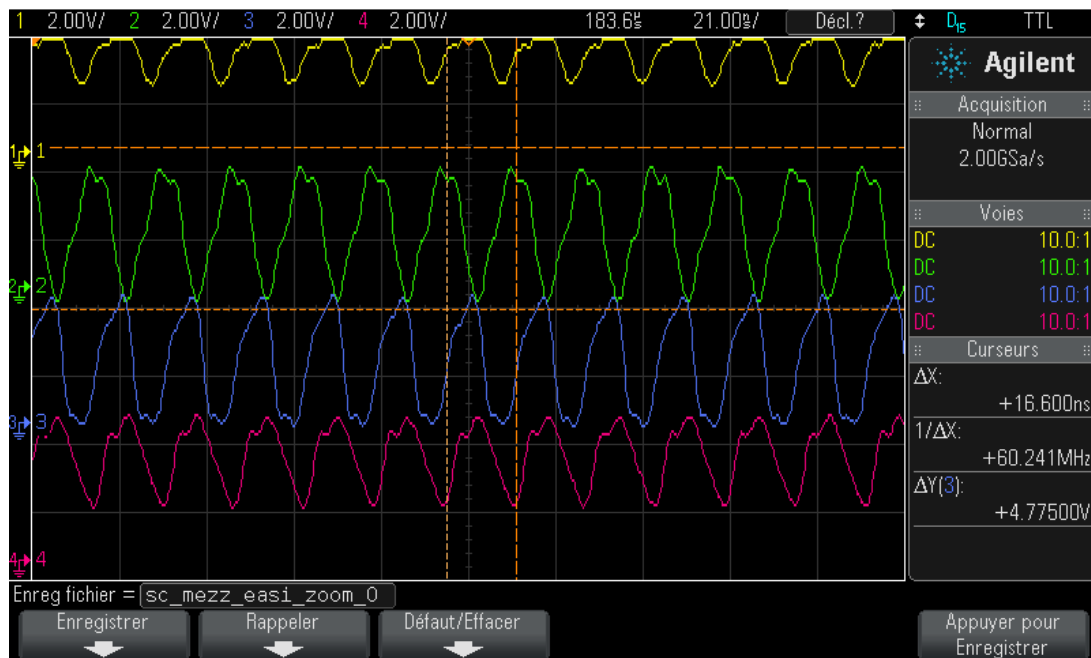


FIGURE 3.2 – Signaux de configuration avec oscillations

Finalement, il s'est avéré que la source du problème venait d'une inversion dans le sens de connexion entrée et sortie entre la carte GDCC et la carte mezzanine due à une mauvaise interprétation de la nomination des signaux. Une correction, beaucoup plus simple à réaliser que si le problème s'était situé dans l'électronique de la carte, m'a donc permis d'obtenir les signaux de la figure 3.3. On observe sur les figure 3.2 et 3.3, respectivement sur les voies 1 à 4, le signal de remise à zéro, l'entrée du registre, l'horloge envoyée par la carte GDCC et un signal d'activation.

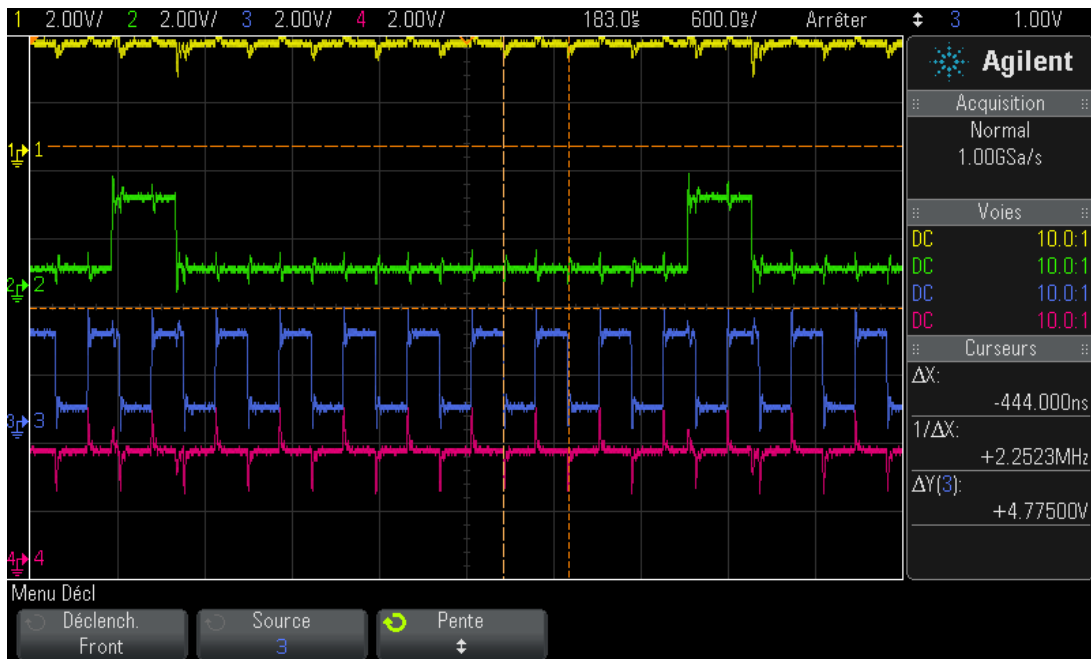


FIGURE 3.3 – Signaux de configuration corrects

Une particularité du registre à décalage et qu'en envoyant une deuxième fois la configuration (généralement désignée par *bitstream*), on doit récupérer en sortie les mêmes données. On utilise ce principe systématiquement afin de vérifier que le passage dans l'ASIC a conservé l'intégralité des bits. Ainsi on obtient sur la figure 3.4 les signaux interprétés par un analyseur logique. On observe, lors du deuxième chargement, voie D4 l'entrée du registre, voie D3 la sortie de celui-ci et voie D0 l'horloge.

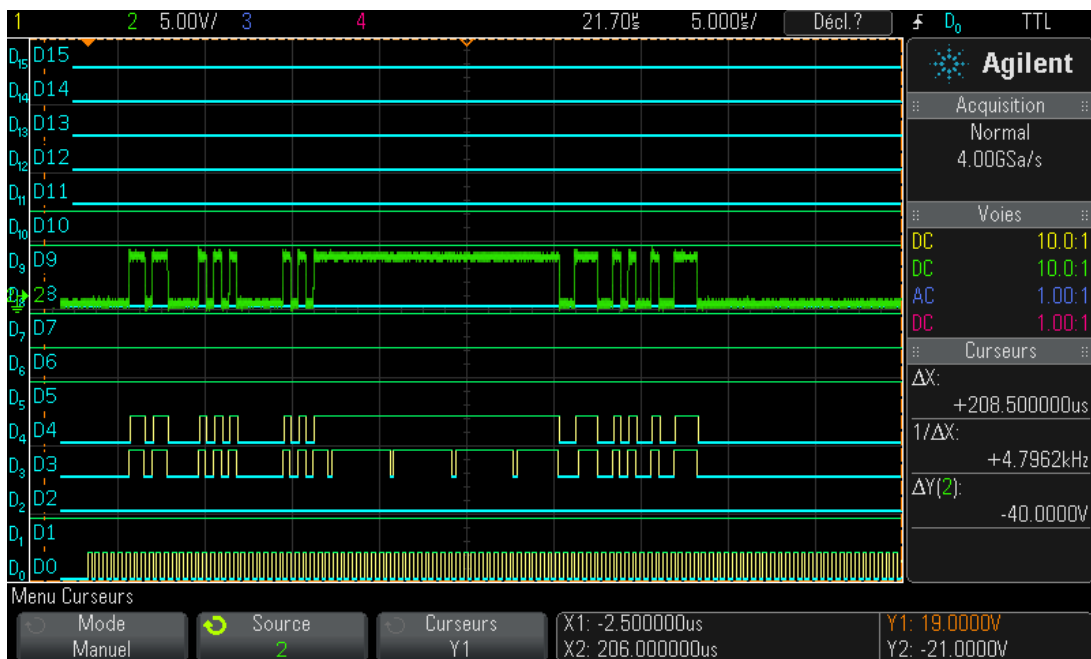


FIGURE 3.4 – Signaux de configuration au deuxième chargement

Ne pouvant pas vérifier plus précisément l'efficacité de la configuration pour l'instant, je me

suis intéressé ensuite à la lecture des mesures.

### 3.4 Lecture de l'ASIC

Cette partie fut testé avec le même matériel que précédemment. Le but n'est pas encore de relever des mesures effectués par un capteur, mais de vérifier tout d'abord que les signaux de contrôle envoyés sont bien ceux attendus, puis que les données obtenues sont bien traitées par la DIF et la GDCC pour les envoyer ensuite au logiciel de traitement.

Après divers ajustements au niveau du FPGA, notamment l'ajout d'un calcul de CRC sur le message contenant les mesures envoyé à l'ordinateur, on a pu valider le protocole de lecture réaliser par le précédent apprenti.

On m'a ensuite demander d'ajouter une nouvelle fonctionnalité au protocole de lecture permettant de prendre en compte les signaux de déclenchements (*trigger*) de chaque voie de capteur. Le protocole n'en tenait pas compte jusqu'à présent : une lecture de toutes les voies étaient effectuée et l'ensemble des données étaient envoyé au logiciel avec une valeur pour chaque voie indiquant si celle-ci avait dépasser le seuil fixé. Les modifications que j'ai apportés permettent de ne lire que les voies intéressantes, les autres étant plus rapidement parcourues, dans la limite des convertisseurs analogique numériques (ceux-ci utilisant une technologie de *pipeline*, ils imposent une limitation de fréquence de 10 MHz dans notre cas). Seules ces mesures sont ensuite envoyés. Le code écrit par Kevin n'étant pas adapté aux modifications que j'avais à apporter, j'ai réécrit cette fonction suivant l'architecture représentée avec quelques simplification en figure 3.5.

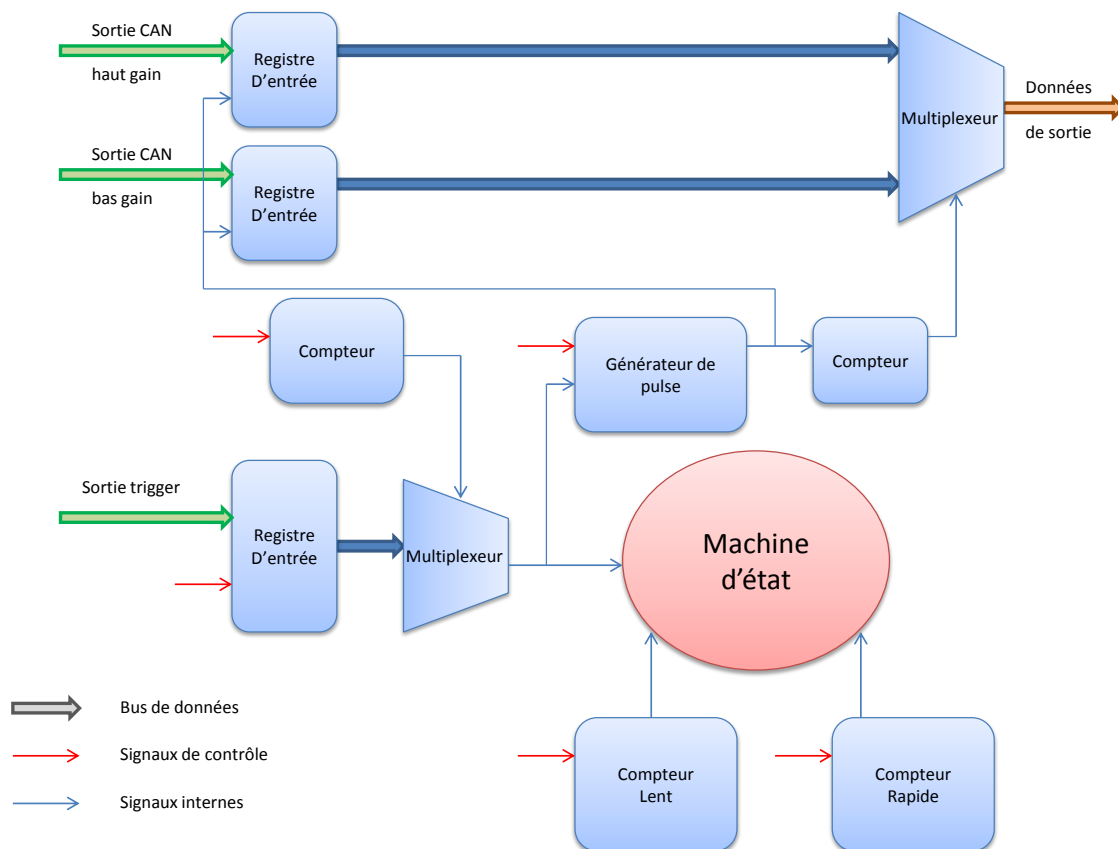


FIGURE 3.5 – Architecture du nouveau protocole de lecture

Les compteurs rapides et lents permettent de définir la période de lecture : lent pour les mesures qui ont dépassées un certain niveau car on souhaite lire leur valeur et rapide pour les autres puisqu'elles ne nous intéressent pas. Cette information est fournie par les "sorties trigger". Le générateur de pulse sert à activer les registres qui ne laisseront passer que les mesures dont la valeur de trigger correspondante est à '1'. Les figures 3.6 et 3.7 présentent respectivement les signaux obtenus avec le protocole précédent et avec la fonction de tri active. On observe en D5 et D4 les signaux de remise à zéro et de départ. Le signal sur la voie 2 est une pulsation simulant un déclenchement pour que la DIF lance une opération de lecture. Les cycles d'horloges (sur les voies D0 et D3) sont plus lents pour les mesures correspondant aux sorties de trigger qui ont été émulées à '1' (celles-ci n'étant pas disponibles). Les sorties du convertisseur analogique numérique ne reflètent pas de mesure réelle mais du bruit, le capteur n'étant pas encore présent. On remarque que celles-ci sont en décalage par rapport au premiers cycles d'horloge : cela est dû au convertisseur pipeline qui entraîne un décalage de trois périodes.

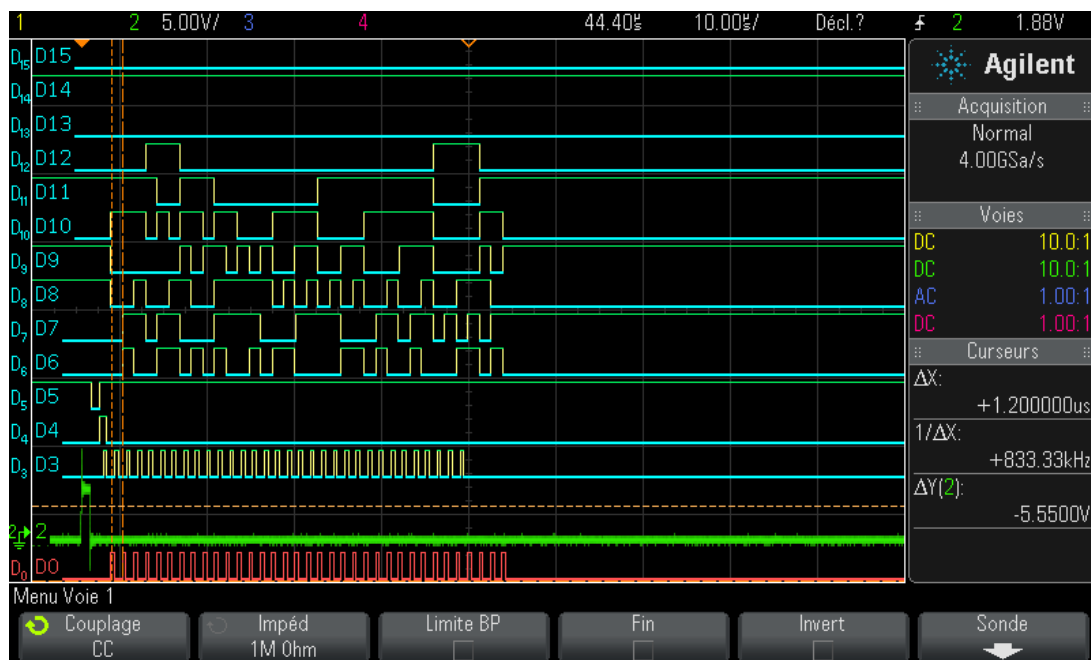


FIGURE 3.6 – Opération de lecture sans tri

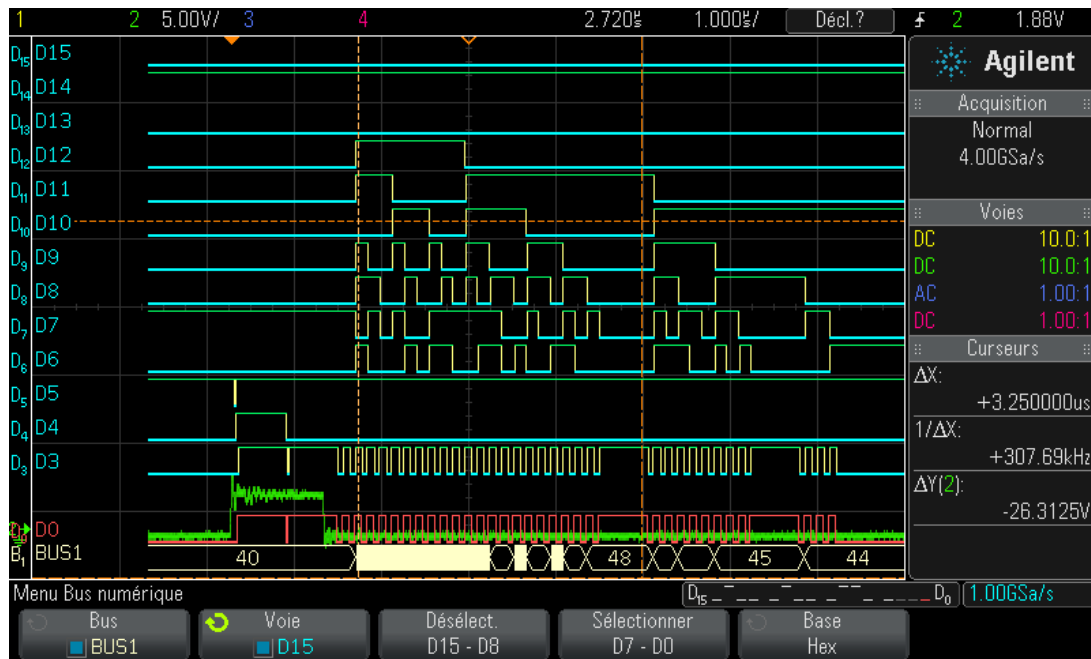


FIGURE 3.7 – Opération de lecture avec tri

Une correction a été apportée sur un autre point qu'est la génération du signal de "Hold". Ce signal qui agit sur les interrupteurs de l'EASIROC présentés précédemment (cf figure 2.1) doit être généré au bout d'un délai défini (de l'ordre de la centaine de nanoseconde) après qu'il y ai eu un déclenchement. Hors ce signal était généré de façon synchrone, il avait donc un délai variable puisque le déclenchement pouvait avoir lieu avec divers écarts par rapport à l'horloge du FPGA. J'ai donc choisi de générer ce signal de façon asynchrone. L'utilisation de ce type de signal est à éviter au sein d'un FPGA, j'ai donc pris soin de ne pas l'utiliser en interne mais seulement pour la génération de mon signal de sortie. La gestion du délai à été effectué en enchainant un certain nombre de fois une cellule de base (en l'occurrence une inversion) afin d'introduire des temps de propagations. Le réglage du nombre cellule influe directement sur le délai. Il m'a fallut forcer le logiciel de synthèse à ne pas simplifier ces fonctions qui le sont autrement, le signal produit étant le même que celui d'entrée d'un point de vue logique. Un inconvénient de cette méthode est l'instabilité du délai produit : le logiciel ne donne pas exactement le même résultat entre deux synthèses. Bien qu'il y ait, si tout va bien, une équivalence logique entre les deux, les délais de propagations des signaux ne sont pas forcément les mêmes. Cela permet tout de même un réglage suffisant pour notre cas, le but étant de mémoriser la mesure du capteur au plus près de son maximum. On observe sur les figures 3.8 et 3.9 en voie 2, en vert, l'impulsion simulant un déclenchement et en voie D2, en rouge, le signal de Hold renvoyé par la carte GDCC. On mesure ainsi des délais d'environ 40 ns pour 72 inverseurs et de plus de 80 ns pour 152 inverseurs.

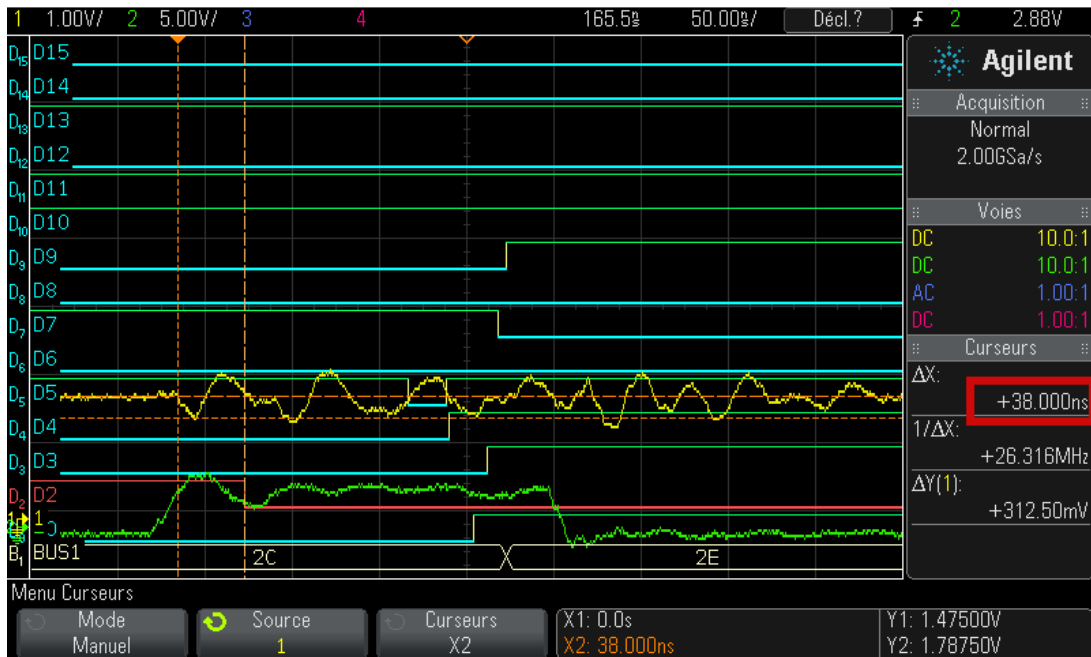


FIGURE 3.8 – Réponse à un déclenchement avec 72 inverseurs

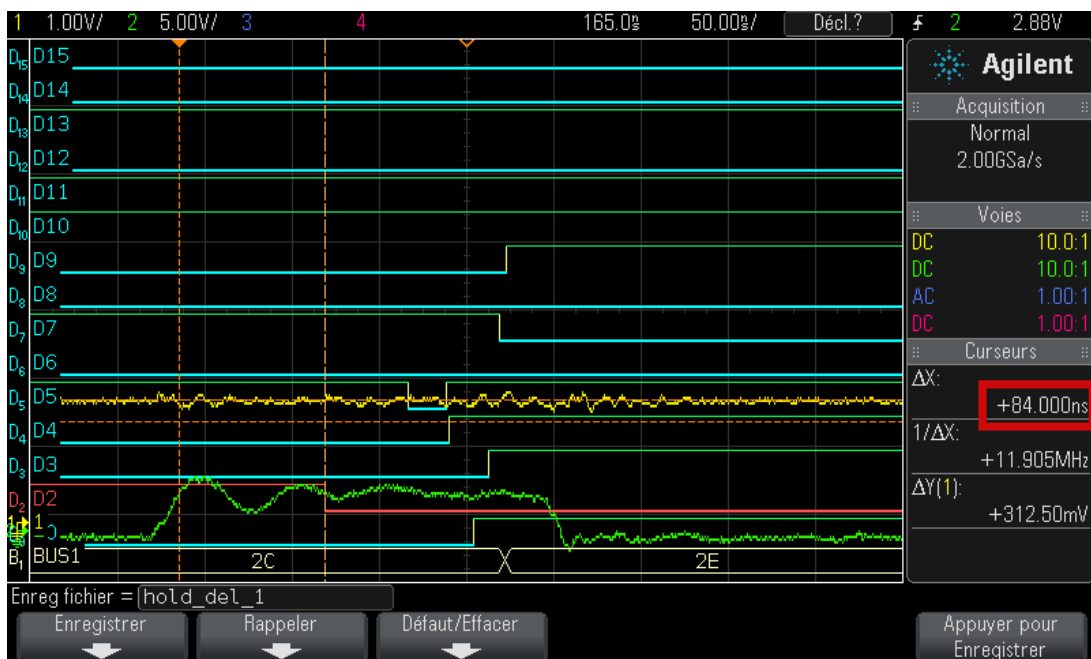


FIGURE 3.9 – Réponse à un déclenchement avec 152 inverseurs

La suite du projet fut de monter une chaîne complète incluant un capteur SiPM afin de vérifier le fonctionnement de l'ensemble, et principalement la programmation de l'ASIC.

### 3.5 Validation de la chaîne complète

Le module SiPM ainsi que le scintillateur et la diode lumineuse ont été placés dans une boîte afin de limiter le bruit lumineux. Cette installation s'est révélée suffisante pour vérifier le

fonctionnement global de la chaîne, des mesures plus fines requièrent en revanche une enceinte hermétique à la lumière. J'ai également utilisé une alimentation pour la diode ainsi qu'un générateur de pulse pour obtenir un signal identifiable en sortie du capteur. Celui-ci a été polarisé au moyen d'une alimentation haute tension au environ de 72 Volts. Après une analyse de la configuration de l'ASIC, une détection du signal a pu être observée. La figure 3.10 montre en voie 4 le signal de sortie du détecteur et en voie 1 et 3 la sortie de la carte EASIROC indiquant un déclenchement.

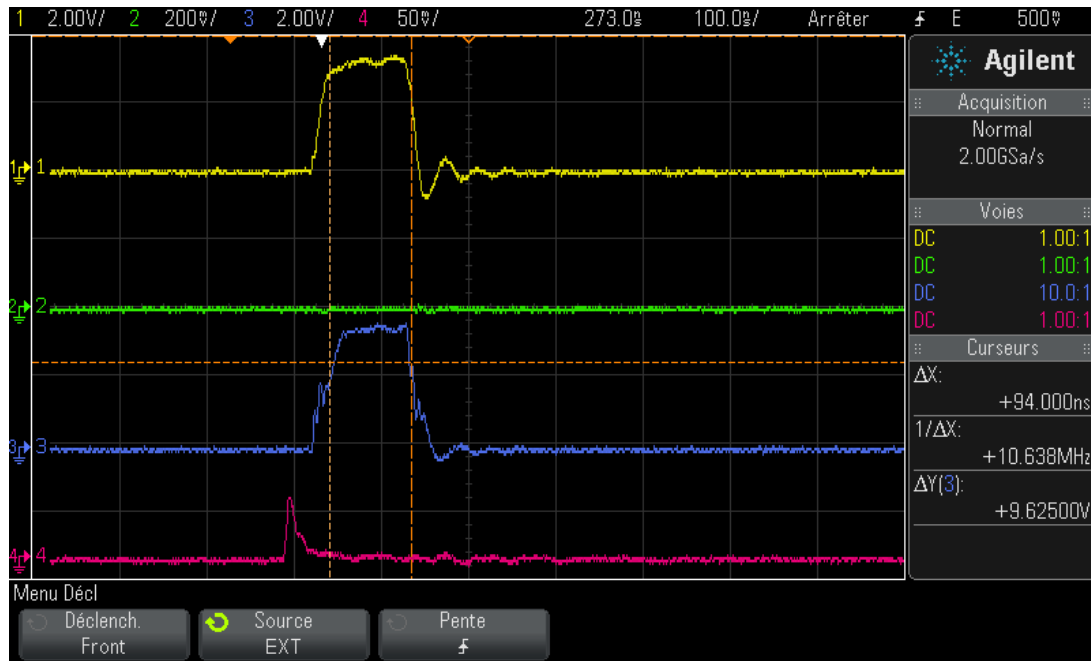


FIGURE 3.10 – Sorties du capteur et de l'ASIC

Il reste encore de nombreux tests à effectuer afin de valider ou cibler des problèmes au niveau des réglages de l'ASIC ou de la conversion analogique numérique, mais la structure développée pour le FPGA a pu être validée dans son ensemble puisque le lancement d'une attente de mesure a bien engendré, une détection du signal de trigger, et un renvoi au logiciel d'un message contenant les valeurs acquises lors de la lecture de l'ASIC. En revanche, le protocole de tri n'a pu être vérifié entièrement car les connexions des différents signaux de trigger ne sont pas prévues sur la mezzanine actuelle.

### 3.6 Adaptation pour un autre ASIC : MAROC

En parallèle aux tests visant à valider la chaîne de mesure avec l'EASIROC, j'ai étudié sur la demande du service électronique, la faisabilité d'une adaptation de cette configuration avec un autre ASIC, développé également par l'équipe Oméga appelé MAROC (*Multi Anode Read Out Chip*). Son architecture, représentée figure 3.11, présente des différences significatives tel que la présence d'un second signal d'entrée de Hold et d'un convertisseur analogique numérique interne. Après l'étude menée sur la documentation fournie, il s'est avéré que ces différences pouvaient être gérées par le système tel qu'il fut adapté pour EASIROC.

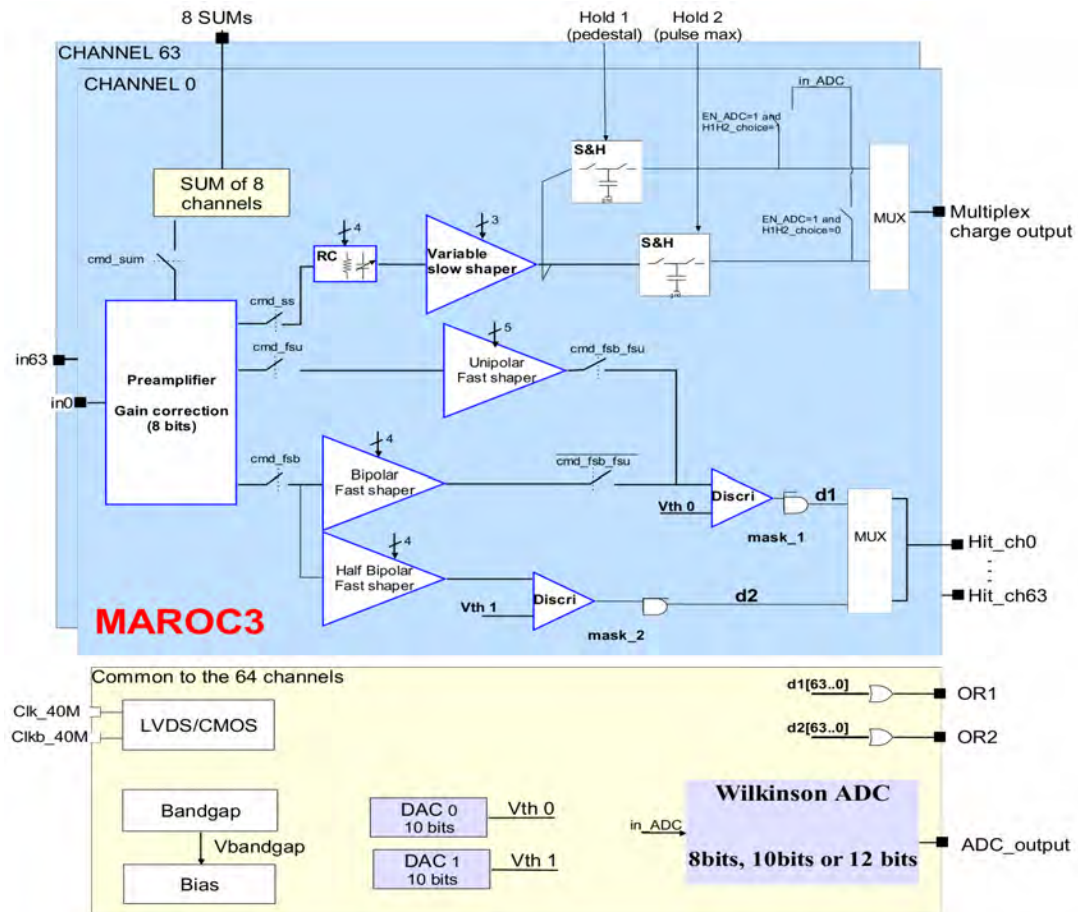


FIGURE 3.11 – Architecture de l'ASIC MAROC

Le convertisseur analogique numérique interne ne peut pas être utilisé avec le protocole de lecture développé. Après avoir conclu positivement quand à la faisabilité de cette adaptation, j'ai donc cherché à établir les connexions entre une carte de test disponible de cet ASIC (figure 3.12) et la mezzanine développée pour EASIROC.

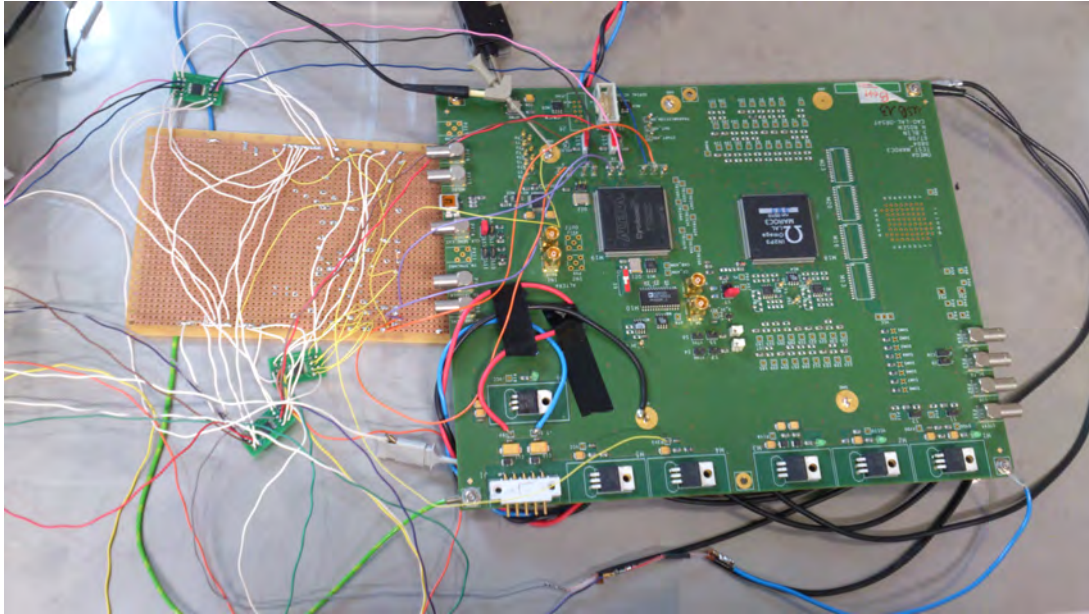


FIGURE 3.12 – Carte de test MAROC

Une première étape fut d’apporter des modifications au FPGA permettant de configurer certains points en fonction d’un paramètre identifiant l’ASIC utilisé. Ce paramètre était déjà présent dans la DIF et permettait notamment de définir la taille du bitstream (les bits de configuration) en fonction de l’ASIC. Ces modifications effectuées, j’ai débuté les tests physiques visant à effectuer la même vérification que pour EASIROC, à savoir la configuration de l’ASIC. Ces essais ont mis en évidence une instabilité des signaux, entrées et sorties que l’on peut constater sur la figure 3.13.



FIGURE 3.13 – Signaux de configuration de MAROC par mezzanine

Elle provenait des adaptateurs de niveaux présents sur la carte mezzanine utilisés afin de

faire correspondre les niveaux logique du FPGA avec ceux de l'ASIC. Ils étaient efficace pour EASIROC mais incompatible avec MAROC. J'ai dans un premier temps essayé d'augmenter l'impédance des entrées de l'ASIC avec des résistances en séries mais face à la persistance de l'instabilité des signaux, je me suis orienté vers un autre type d'adaptateur. En effet, ceux utilisés jusqu'ici étaient bidirectionnels, leur sens de conversion n'étant défini que par l'impédance des signaux présents. L'utilisation d'adaptateurs dont le sens est configurable a permis d'obtenir les signaux attendus (figure 3.14).



FIGURE 3.14 – Signaux de configuration de MAROC avec adaptateurs indépendants

Les tests conduits sur cette configuration n'ont pas été menés plus loin, mais ont permis de définir une bonne partie des besoins liés à l'utilisation de MAROC, il serait intéressant pour le projet de continuer cette investigation, afin d'évaluer plus avant la possibilité de développer une nouvelle carte mezzanine répondant à la fois aux besoins de MAROC et à ceux d'EASIROC. De plus, il serait avantageux de la faire correspondre au format de l'ancienne carte mezzanine ( cf figure 2.5) afin obtenir une bonne intégrabilité du système, les deux problèmes principaux étant la taille réduite de cette carte et le choix des connexions à utiliser.

# Conclusion

La reprise d'un projet est très dépendante de la façon dont les différents intervenants ont pu expliquer leurs choix et documenter leurs développements. Ce stage m'a permis de mesurer la nécessité de supports permettant une passation de connaissance efficace. Ainsi une documentation, interne au laboratoire, inclura une description plus technique que celle fournie dans ce rapport sur les problèmes rencontrés et les solutions apportées ou envisagées. En effet, bien qu'ayant effectué une avancée concluante sur ce projet, il n'est pas encore parvenu à terme.

Premièrement la réalisation du banc de test nécessite encore plusieurs étapes, telles que la validation de la chaîne de mesure, par une analyse d'un grand échantillon de valeurs pour diverses configurations. Et ce pour l'ensemble des voies de capteurs et dans une configuration avec deux ASIC, car l'EASIROC ne comprend que 32 voies et le banc doit inclure 64 capteurs.

Deuxièmement, ce type de projet est propice à l'essai de solutions secondaires permettant de développer une connaissance technique sur celles-ci. La poursuite des recherches de solutions pour l'ASIC MAROC n'est pas nécessaire au projet à priori, mais permettra au laboratoire d'étendre son socle technique à un ASIC qui n'est pas utilisé dans les expériences actuelles.

De même l'intégrabilité des composants qui a été recherchée au cours de ce projet n'est pas primordiale pour le banc de test qui ne comprendra qu'une carte GDCC. La validation d'une configuration à l'encombrement réduit sera pourtant bénéfique à une éventuelle application dans des expériences où elle est nécessaire.

Le stage que j'ai eu l'opportunité d'effectuer au sein du Laboratoire Leprince-Ringuet m'a donc permis de mettre en application mes connaissances techniques et de les affermir dans le cadre d'un projet complet et dans un environnement de développement très enrichissant.

# Bibliographie

- [1] Article sur les rayons cosmiques. <http://www.futura-sciences.com/magazines/espace/infos/dico/d/univers-rayon-cosmique-2446>.
- [2] Site de l'in2p3. [http://www.in2p3.fr/presentation/politique/statuts\\_missions.htm](http://www.in2p3.fr/presentation/politique/statuts_missions.htm).
- [3] Site du cnrs. <http://www.cnrs.fr/fr/organisme/presentation.htm>.
- [4] D.Prêle, D.Franco, D.Ginhac, K.Jradi, F.Lebrun, S.Perasso, D.Pellion, A.Tonazzo, and F.Voisin. Sipm cryogenic operation down to 77 k. octobre 2013.
- [5] P.Eraerds, M.Legré, A.Rochas, H.Zbinden, and N.Gisin. Sipm for fast photon-counting and multiphoton detection. *Optic Express*, octobre 2007.

## Annexe A

# Architecture de la GDCC

Auteur : F.Gastaldi

architecture\_GDCC

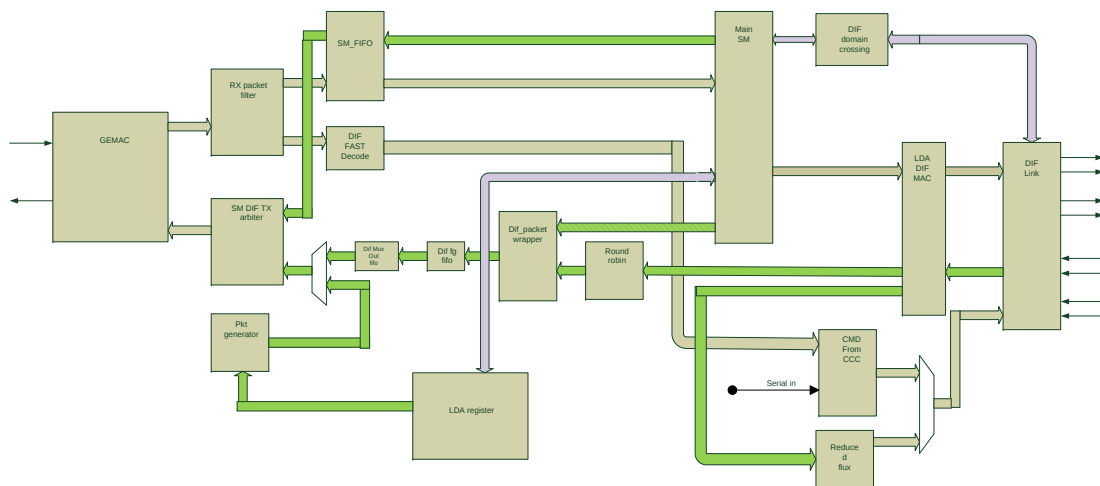


FIGURE A.1 – Architecture complète de la GDCC

## Annexe B

# Histogramme de mesures d'un capteur SiPM

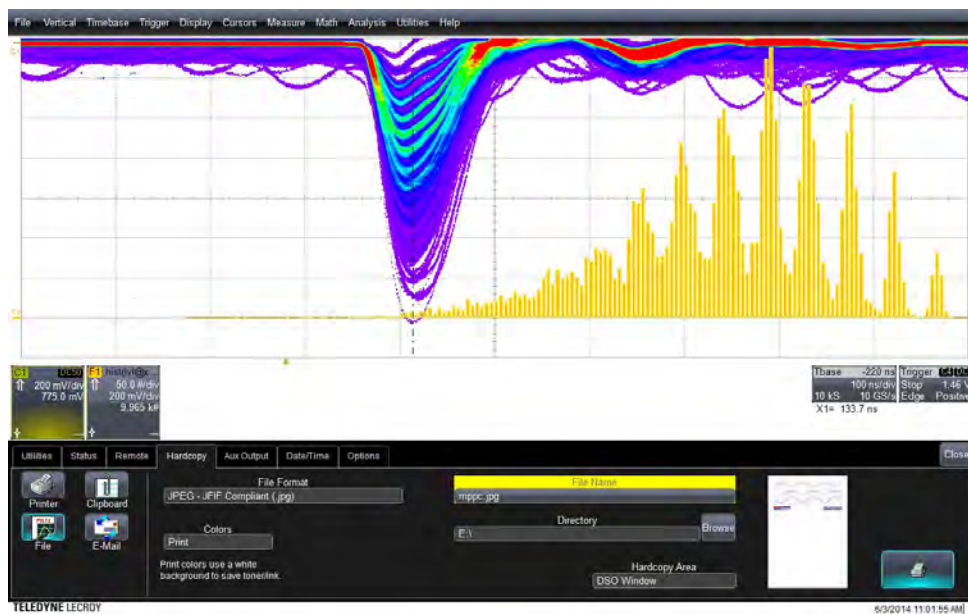


FIGURE B.1 – Mesures effectuées par un SiPM en mode trace et histogramme des valeurs obtenues

## Annexe C

# Extraits de la datasheet de l'ASIC EASIROC

| Feedback<br>Capacitance | Low gain<br>value | High gain<br>value |
|-------------------------|-------------------|--------------------|
| 1.5 pF                  | 1                 | 10                 |
| 1.4 pF                  | 1.07              | 10.7               |
| 1.3 pF                  | 1.15              | 11.5               |
| 1.2 pF                  | 1.25              | 12.5               |
| 1.1 pF                  | 1.36              | 13.6               |
| 1.0 pF                  | 1.5               | 15                 |
| 900 fF                  | 1.66              | 16.6               |
| 800 fF                  | 1.875             | 18.75              |
| 700 fF                  | 2.14              | 21.4               |
| 600 fF                  | 2.5               | 25                 |
| 500 fF                  | 3.0               | 30                 |
| 400 fF                  | 3.75              | 37.5               |
| 300 fF                  | 5.0               | 50                 |
| 200 fF                  | 7.5               | 75                 |
| 100 fF                  | 15                | 150                |

FIGURE C.1 – Table des gains de préamplification en fonction des capacités de rétroaction

Annex B: Slow control parameters

| Register Name             | bits | Register description                                                        | Default Value            |
|---------------------------|------|-----------------------------------------------------------------------------|--------------------------|
| EN_input_dac              | 1    | Enable 32 input 8-bit DACs                                                  | 1 (DACs ON)              |
| 8-bit DAC reference       | 1    | 8-bit input DAC Voltage Reference (1 = external 4.5V , 0 = internal 2.5V)   | 1 (External Ref)         |
| Input 8-bit DAC           | 288  | Input 8-bit DAC Data from channel 0 to 31 – (DAC0...DAC7 + DAC OFF)         | 32 x 0000 0000 0         |
| Low Gain PA bias          | 1    | Low Gain PreAmp bias (weak bias = 1 , high bias = 0)                        | 1 (weak bias)            |
| High Gain PreAmplifier PP | 1    | Disable High Gain preamp power pulsing mode (force ON)                      | 1 (PA ON)                |
| EN_High_Gain_PA           | 1    | Enable High Gain preamp                                                     | 1 (PA Enabled)           |
| Low Gain PreAmplifier PP  | 1    | Disable Low Gain preamp power pulsing mode (force ON)                       | 1 (PA ON)                |
| EN_Low_Gain_PA            | 1    | Enable Low Gain preamp                                                      | 1 (PA Enabled)           |
| Capacitor HG PA Fdbck     | 4    | High gain preamp compensation capacitances commands (0...3)                 | 0000                     |
| Capacitor LG PA Fdbck     | 4    | High gain preamp feedback capacitances commands (0...3) [active low]        | 0000                     |
| Capacitor LG PA Fdbck     | 4    | Low gain preamp feedback capacitances commands (3...0) [active low]         | 0000                     |
| Capacitor LG PA Comp      | 4    | Low gain preamp compensation capacitances commands (3...0)                  | 0000                     |
| DisablePA & In_calib_EN   | 64   | Disable charge preamp + Enable calibration capacitor (from channel 0 to 31) | 32 x 00                  |
| Low Gain Slow Shaper PP   | 1    | Disable low gain slow shaper power pulsing mode (force ON)                  | 1 (SS ON)                |
| EN_Low_Gain_Slow Shaper   | 1    | Enable Low Gain Slow Shaper                                                 | 1 (SS Enabled)           |
| Time Constant LG Shaper   | 3    | Low gain shaper time constant commands (2...0)                              | 000                      |
| High Gain Slow Shaper PP  | 1    | Disable high gain slow shaper power pulsing mode (force ON)                 | 1 (SS ON)                |
| EN_High_Gain_Slow Shaper  | 1    | Enable high gain Slow Shaper                                                | 1 (SS Enabled)           |
| Time Constant HG Shaper   | 3    | High gain shaper time constant commands (2...0)                             | 000                      |
| Fast Shapers Follower PP  | 1    | Disable fast shaper follower power pulsing mode (force ON)                  | 1 (FSb follower ON)      |
| EN_Fast Shaper            | 1    | Enable fast shaper                                                          | 1 (FSb Enabled)          |
| Fast Shaper PP            | 1    | Disable fast shaper power pulsing mode (force ON)                           | 1 (FSb ON)               |
| T&H (Widlar SCA) PP       | 1    | Disable Track & Hold power pulsing mode (force ON)                          | 1 (T&H ON)               |
| EN_T&H (Widlar SCA)       | 1    | Enable Track & Hold                                                         | 1 (T&H Enabled)          |
| T&H bias(Widlar)          | 1    | Track & Hold bias (weak bias = 1 , high bias = 0)                           | 1 (weak bias)            |
| EN_discr                  | 1    | Enable Discriminator                                                        | 1 (Discr Enabled)        |
| Discriminator PP          | 1    | Disable trigger discriminator power pulsing mode (force ON)                 | 1 (Discr ON)             |
| RS_or_discr               | 1    | Select latched (RS : 1) or direct output (trigger : 0)                      | 1 (RS)                   |
| Discriminator Mask        | 32   | Allows to Mask Discriminator (channel 0 to 31) [active low]                 | 32 x 1 (no mask)         |
| DAC code                  | 10   | 10-bit DAC (LSB-MSB)                                                        | 00 0000 0000             |
| DAC slope                 | 1    | DAC slope (fine = 1 , coarse = 0)                                           | 1 (fine)                 |
| DAC PP                    | 1    | Disable DAC power pulsing mode (force ON)                                   | 1 (DAC ON)               |
| EN_DAC                    | 1    | Enable DAC                                                                  | 1 (DAC Enabled)          |
| BandGap PP                | 1    | Disable BandGap power pulsing mode (force ON)                               | 1 (BandGap ON)           |
| EN_BandGap                | 1    | Enable BandGap                                                              | 1 (BandGap Enabled)      |
| High Gain OTaQ PP         | 1    | Disable High Gain OTA power pulsing mode (force ON)                         | 0                        |
| Low Gain OTaQ PP          | 1    | Disable Low Gain OTA power pulsing mode (force ON)                          | 0                        |
| Probe OTaQ PP             | 1    | Disable Probe OTA power pulsing mode (force ON)                             | 0                        |
| LVDS receivers PP         | 1    | Disable LVDS receivers power pulsing mode (force ON)                        | 0                        |
| EN_High Gain OTaQ         | 1    | Enable High Gain OTA                                                        | 0 (HG path Disabled)     |
| EN_Low Gain OTaQ          | 1    | Enable Low Gain OTA                                                         | 0 (LG path Disabled)     |
| EN_Probe OTaQ             | 1    | Enable Probe OTA                                                            | 0 (Probe Disabled)       |
| EN_LVDS receivers         | 1    | Enable LVDS receivers                                                       | 0 (LVDS rec Disabled)    |
| EN_out_dig                | 1    | Enable digital multiplexed output (Hit mux out)                             | 0 (digital out disabled) |
| EN_OR32                   | 1    | Enable digital OR32 output [active low]                                     | 0 (OR32 enabled)         |
| EN_32 triggers            | 1    | Enable 32 channels triggers outputs [active low]                            | 0 (Triggers enabled)     |
| NC                        | 4    |                                                                             | 0000                     |
| TOTAL                     | 456  |                                                                             |                          |

FIGURE C.2 – Registre de configuration d'ESIROC

## Annexe D

# Banc de test cosmique

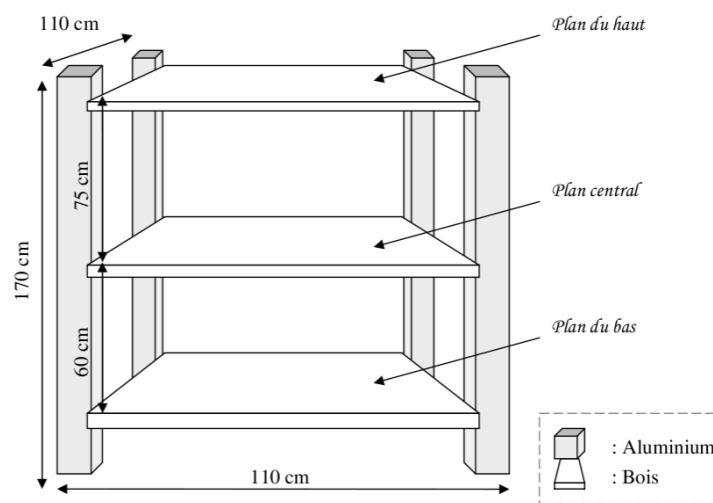


FIGURE D.1 – Ossature du banc de test

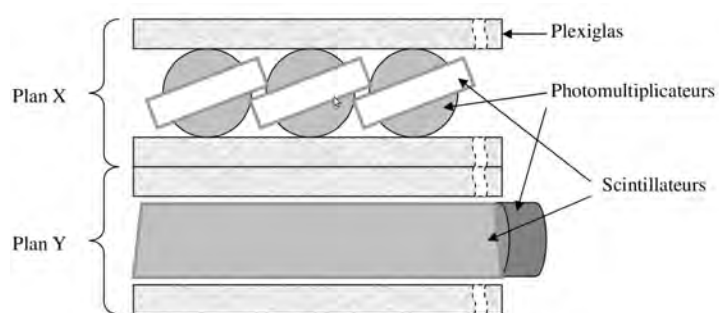


FIGURE D.2 – Disposition des scintillateurs