System Requirements Specification

Cosmic Calibration Test Bench

DOCUMENT DIFFUSION				
Object	**Name**	**Institution**	**Date**	**Service**
Emission	Simon CHOLLET	LLR	17/12/2003	Computing
Emission	Franck GASTALDI	LLR	17/12/2003	Electronic
Emission	Jean-Charles Vanel	LLR	17/12/2003	Electronic

File : E:\Projets\Calice\Documents\SRS - Cosmic Bench V2.1.doc

	Laboratoire **L**eprince-**R**inguet Ecole Polytechnique 91128 Palaiseau Cedex France	http://polywww.in2p3.fr
Centre National de la Recherche Scientifique	**C**entre **N**ational de la **R**echerche **S**cientifique	http://www.cnrs.fr
IN2P3	**I**nstitut **N**ational de **P**hysique **N**ucléaire et de **P**hysique des **P**articules	http://www.in2p3.fr
Ecole Polytechnique	Ecole polytechnique	http://www.polytechnique.fr

Document updates

VERSION	DATE	DESCRIPTIONS OF EVOLUTIONS
1.0	16/12/2004	Creation.
2.0	06/04/2004	Modifications for VTC version 2.
2.1	16/12/2004	Add annexe on VTC2 technical data.

Summary

List of figures

List of arrays

1 APPLICATION FIELDS

1.1 Document Identification

This **S**ystem **R**equirements **S**pecification (SRS) concerned the Cosmic Calibration Test Bench developed for the FLC – CALICE experiment. It describes the entire (hardware and software) architecture of the system identified by the reference: BENCH1002.

1.2 System Presentation

The main purpose of this test bench is to provide an environment to debug, characterize, calibrate and validate a particle detector. The device under test may have the capability to detect the cosmic particles.

The Cosmic Calibration Test Bench have the following capabilities:

- monitoring the cosmic particle tracking,
- generate the timing for the device under test (particle detector),
- generate the timing (trigger) for data acquisition,
- read and store the cosmic particle detection impact on device under test,
- calibrate the device under test.

The first application for this Cosmic Calibration Test Bench is the FLC – CALICE VFE-PCB test, characterization, validation and calibration. This test bench should be as generic as possible in hardware or software components.

For future applications, the Cosmic Calibration Test Bench may evolve with new hardware and software capabilities, especially with the device under test interface.

1.3 Document Overview

This document describes the requirements to satisfy for the Cosmic Calibration Test Bench. It defines:

- the capabilities of the system,
- the interface between the system and his environment,
- the timing constraints,
- the conception constraints.

This document is used as a reference document for hardware and software conception of the system. All requirements can be marked with the following styles:

⇒ **SRS_HWI_REQ_n.m**	**Title**	**[parent]**
	or:	
⇒ **SRS_SWI_REQ_n.m**	**Title**	**[parent]**
	or:	
⇒ **SRS_INT_REQ_n.m**	**Title**	**[parent]**

All abbreviations used for requirement are detailed in the following array (Array 1).

Fields	Description
SRS	**S**ystem **R**equirements **S**pecification.
HWI	**H**ard**W**are **I**tem.
SWI	**S**oft**W**are **I**tem.
INT	Interface between two items.
REQ	Requirement description abbreviation.
n	ID of the requirement on the capability or interface.
m	(optional) ID of the sub-requirement of the requirement **n**.
Title	(optional) To remind the requirement object.
[parent]	(optional) The parent requirement description abbreviation for sub-requirements only.

Array 1. ***Details for requirement abbreviations.***

The description of the requirement is marked with a double line on the top and on the left of the description text like this:

Requirement description …

2 REFERENCES

We describe in this paragraph all documents we used to write this system specification.

Document [1]: "Cosmic Bench – System Architecture"
Presentation done in March 2003, small summary of the architecture we will use for Cosmic Calibration Test Bench.
Authors: Franck Gastaldi (LLR), Simon Chollet (LLR).
Reference: LLR1002-PPT-System Architecture-1.0.
Revision: March 2003.

Document [2]: "VFE-PCB Test Bench – Level 0 – Proposal"
Presentation of the Cosmic Calibration Test Bench.
Authors: Franck Gastaldi (LLR), Simon Chollet (LLR).
Reference: LLR1002-PPT-VFE_PCB Test Bench-1.0.
Revision: March 2003.

Document [3]: "FLC_PHY2 – Front end chip datasheet"
Datasheet for the VFE-PCB ship: FLC_PHY2.
Authors: Julien Fleury (LAL).
Reference: –.
Revision: May 2003.

Document [4]: "FLC_PHY2 – Calibration Interface"
Interface for calibration of the FLC_PHY2 ship.
Authors: Julien Fleury (LAL).
Reference: –.
Revision: May 2003.

3 SYSTEM REQUIREMENTS

Before enumerating all requirements for this system, we will describe an overview of the Cosmic Calibration Test Bench with its sub-systems.

3.1 Cosmic Calibration Test Bench Overview

The following figure (Figure 1) presents all main items used to develop the Cosmic Calibration Test Bench.

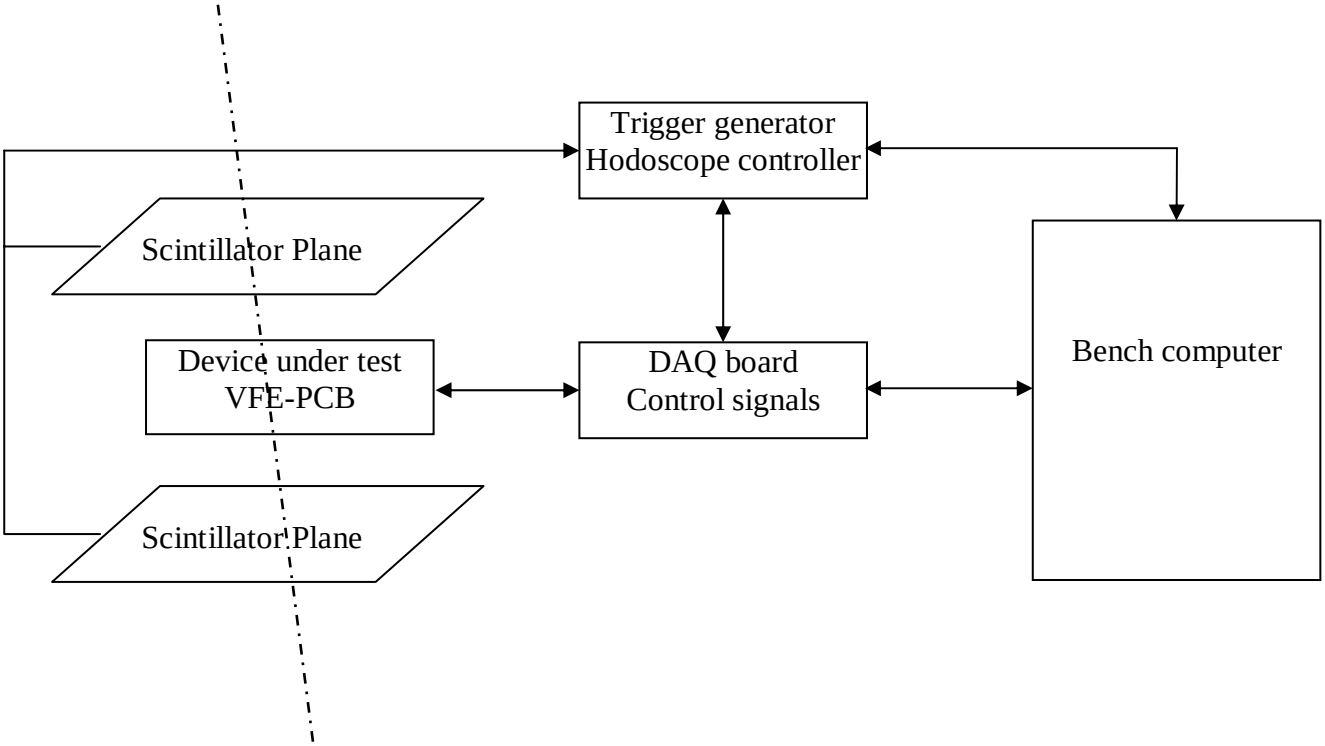


Figure 1. Cosmic Calibration Test Bench Overview.

For the FLC-CALICE experiment, the device under test is the VFE-PCB done by the LAL. This device is constituted of **6** silicium wafers and **12** FLC_PHY2 ships.

There are two scintillators planes to detect and monitoring the particle track. Each scintillators plane has **32** photomultipliers: **16** for X direction, **16** for Y direction. The position (X, Y) of the particle track is calculated with all scintillators planes: a couple of (X, Y) coordinates: (X_1, Y_1) and (X_2, Y_2).

The “Trigger generator / Hodoscope controller” sub-system permits to generate trigger for acquisition, supplies the scintillators planes, but also gives the position of the particle track to the bench computer.

The “DAQ board / Control signals” sub-system permits to read data from the VFE-PCB and generate the correct timing for the FLC_PHY2 ship.

At last, the bench computer permits to control the complete system. It gives user some facilities to control the test bench with some simplified **G**raphic **U**ser **I**nterface (GUI).

For more details on the system and its sub-systems, we have the following figure (Figure 2):

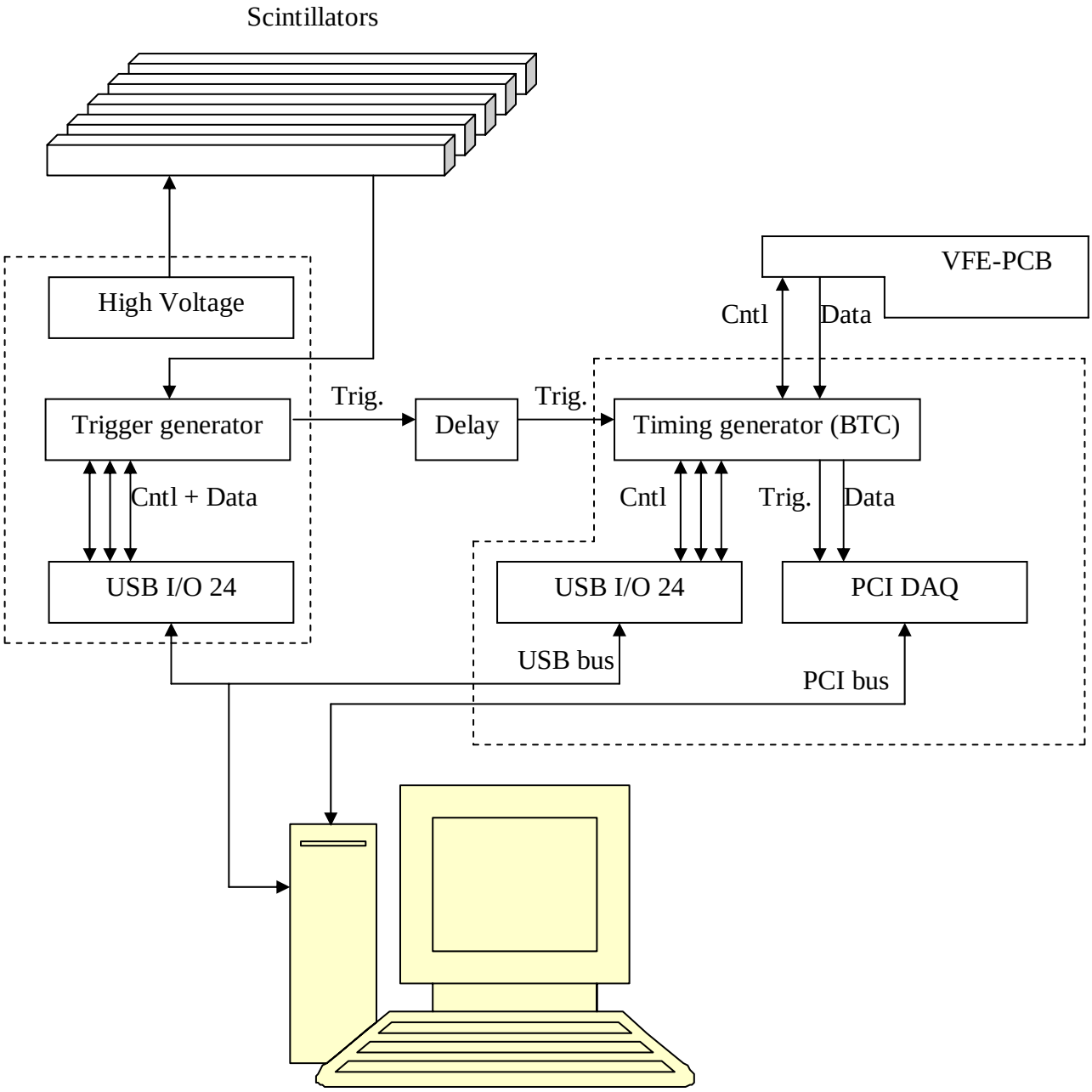


Figure 2. Detailed overview of the Cosmic Calibration Test Bench system architecture.

3.2 System Interfaces Requirements

In this paragraph, we will enumerate all internal and external interfaces for the complete system.
The previous figure (Figure 2) shows all interfaces for the system, we give the list:

- interface between the user and the bench computer,
- interface between the VFE-PCB and acquisition sub-system,
- interface between the scintillator planes and the “Trigger generator / Hodoscope controller” sub-system,
- interface between the acquisition sub-system and the “Trigger generator / Hodoscope controller” sub-system,
- interface between the “Trigger generator / Hodoscope controller” sub-system and the bench computer,
- interface between the acquisition sub-system and the bench computer.

3.2.1 Interface 1: user actions on bench computer

⇒ SRS_INT_USER_BENCH_1 User actions

The Graphical User Interface (GUI) should control each sub-system individually.
Moreover, the GUI should be as easy to use as possible: the user doesn't have to know the test or calibration sequence, or the different communication between each sub-system.

To simplify the GUI, for example, we can propose to develop one dialog box per sub-system.

3.2.2 Interface 2: VFE-PCB interaction with acquisition sub-system

⇒ SRS_INT_VFE_ACQ_1 VFE-PCB Control

Each FLC_PHY2 ship on VFE-PCB has 5 LVDS control inputs:
- ***SR_Hold.***
- ***SR_Reset.***
- ***SR_Inpu.t***
- ***SR_Clock.***
- ***Switch_LED.***

Each FLC_PHY2 ship on VFE-PCB has 5 LVDS control outputs:
- ***SR_Output.***
- ***Type0 … Type3.***

The “Type0...3” signals give the address information for the position of the VFE-PCB in the final detector prototype. These signals will be read by digital inputs of the acquisition sub-system, see Annexe D for more information.

The sequence of these control signals is given in the following diagram:

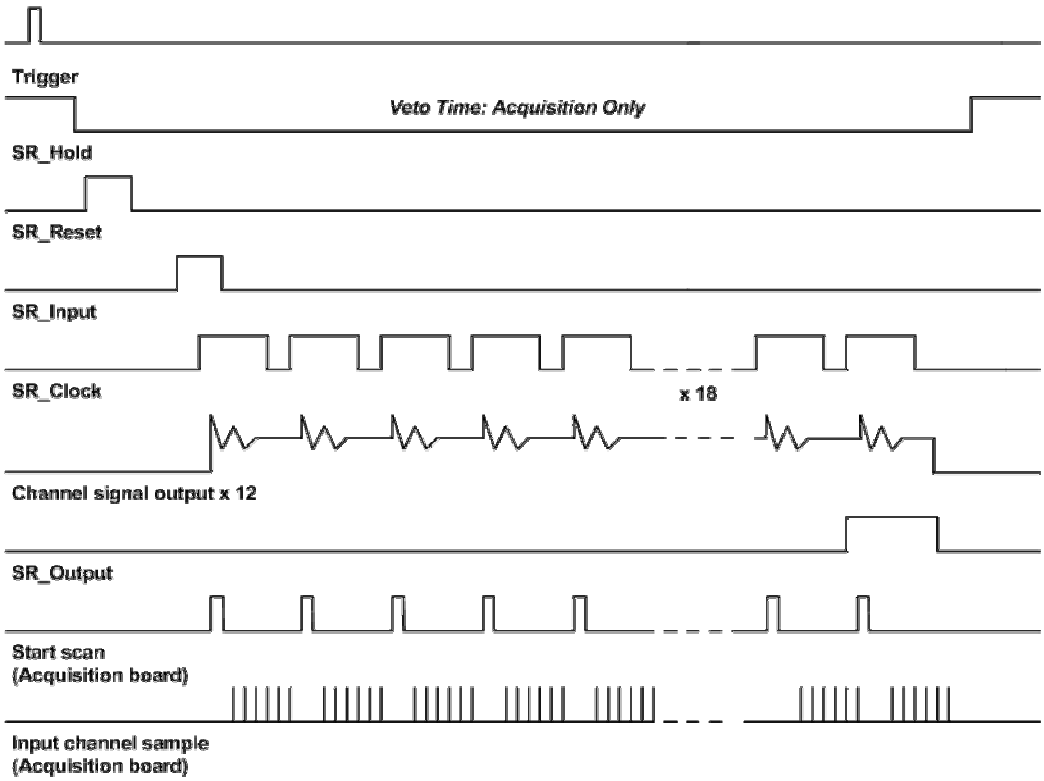


Figure 3. Timing sequence for VFE-PCB.

In this diagram, the “Trigger” signal is given by the “Trigger generator / Hodoscope controller” sub-system.

The “Switch_LED” signal permits to switch on / off a LED on the VFE-PCB in order to check if the communication between the VFE-PCB and other sub-system is operational.

⇒ SRS_INT_VFE_ACQ_2 VFE-PCB Data

The VFE-PCB has 1 data output:
- Differential analog output.
There are 12 chips on one VFE-PCB, the acquisition sub-system has to read these 12 differential analog outputs.

The acquisition sub-system should have a precision of 10 bits and dynamic range of 14 bits.

⇒ SRS_INT_VFE_ACQ_3 VFE-PCB Calibration

The VFE-PCB has 9 calibration inputs:
- 6 LVDS Enable Channels.
- 2 LVDS Select Channels.
- Differential calibration voltage.

The calibration voltage should have a precision of 12 bits.

The sequence of these control signals may be defined later.

3.2.3 Interface 3: Scintillators planes and hodoscope sub-system

⇒ SRS_INT_SCIN_HODO_1 **Scintillators power supply**

The scintillators planes must be powered by the hodoscope sub-system.
Each scintillators should have its own power supply and adjustment.

Power adjustments may be done manually or automatically, this functionality should be integrated later.

⇒ SRS_INT_SCIN_HODO_2 **Scintillators X, Y particle track position**

The scintillators planes have 32 (16 x 2) scintillators for X position, and 32 (16 x 2) for Y direction.
The position of a particle track is given by reading 64 (32 + 32) digital channels.

In the future Cosmic Calibration Test Bench, there are **4** scintillators planes, the disposition of the planes is shown in the following figure:

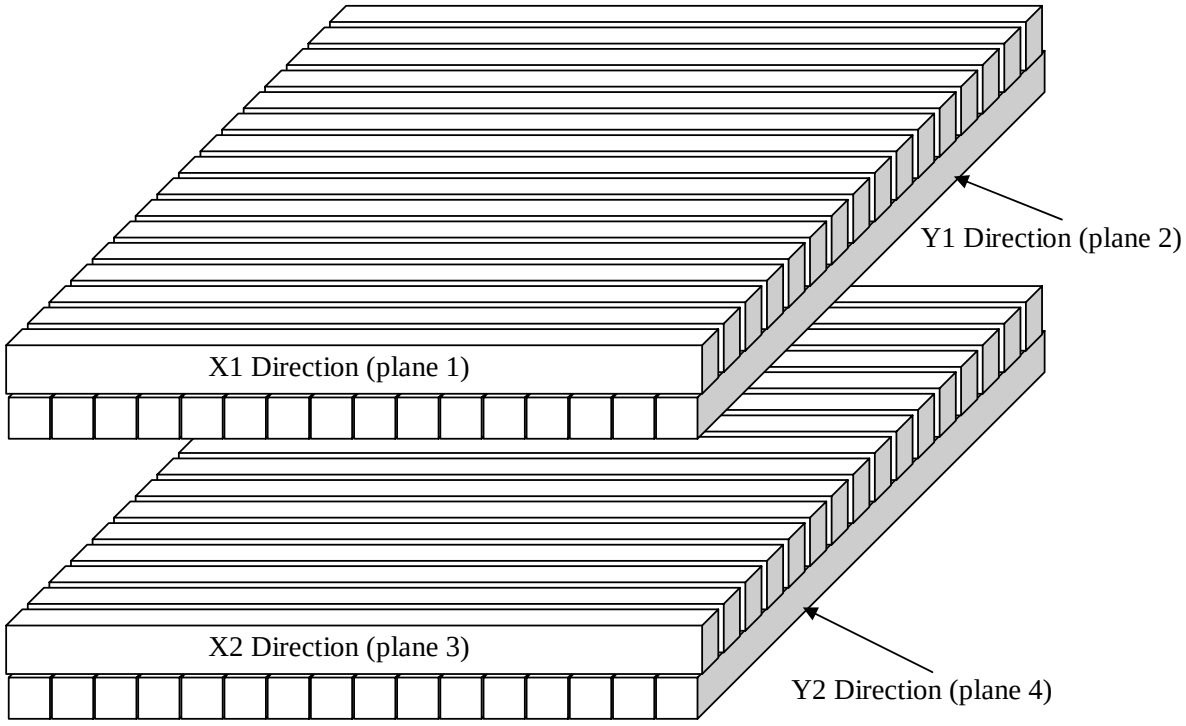


Figure 4. Disposition of scintillator planes for particle track monitoring.

3.2.4 Interface 4: Acquisition sub-system and hodoscope sub-system

⇒ SRS_INT_ACQ_HODO_1 **Acquisition trigger generation**

When a cosmic particle hit some VFE-PCB wafers, the hodoscope sub-system must generate a trigger signal with a delay adjustable with 10 ns precision.

Typically, the adjustment of the delay should be from **100 ns** to **300 ns**. This delay permits to set the moment when the maximum of charge is been read on the device under test.

3.2.5 Interface 5: Acquisition sub-system and bench computer

⇒ SRS_INT_ACQ_CPU_1 **Acquisition data transfer**

The number of data to read for one VFE-PCB is 216 (12 ship x 18 channels) in 1 ms maximum. The data transfer between the acquisition sub-system and the bench computer must be greater than 216 000 samples per second.

The data transfer rate must be greater than 520 Ko/s.
To assure this transfer rate, we can choose, for example, the **PCI bus**.

⇒ SRS_INT_ACQ_CPU_2 **Acquisition command control**

All commands for VFE-PCB can be considerate as "Slow control" in comparison of data transfer rate.

To get or send VFE-PCB control commands, we can choose, for example, the **USB bus**.

3.2.6 Interface 6: Hodoscope sub-system and bench computer

⇒ SRS_INT_HODO_CPU_1 **Particle track monitoring**

The hodoscope sub-system has to store the particle track with 64 digital data.
These 64 digital data must be transferred to the computer bench when a cosmic particle has hit the VFE-PCB.

⇒ SRS_INT_HODO_CPU_2 **Control hodoscope**

The hodoscope sub-system must be initialized each time it stores a particle track position before next hit.
The hodoscope sub-system must warn the computer when a particle hit the VFE-PCB.
The supply power system can communicate with external by Ethernet, RS232 or GPIB bus.

To get data or send commands to the hodoscope sub-system, we can choose, for example, the **USB bus**.

3.3 System Capabilities Requirements

In this paragraph, we will describe all functionalities that the Cosmic Calibration Test Bench should have.
The proposed functionalities for the Cosmic Calibration Test Bench are listed below:

- manage power supply on each scintillator,
- monitor the particle track,
- manage the acquisition trigger,
- control the device under test timing,
- read the device under test outputs,
- store data from device under test,
- run a calibration for the device under test.

3.3.1 Functionality 1: Manage scintillators power supply

⇒ SRS_HWI_HODO_POWER_1 **Power for each scintillator**

The hodoscope power system must have one voltage channel for each scintillator.

⇒ SRS_SWI_HODO_POWER_1 **Supervise each scintillators power supply**

The supply power system can set each analog offset particle detection for each scintillator.

In a first time, this functionality will be done manually.

3.3.2 Functionality 2: Monitor particle track

⇒ SRS_HWI_HODO_TRACK_1 **Read each scintillator data**

The hodoscope sub-system must read all the 64 digital inputs from scintillator planes before generate the trigger.

⇒ SRS_HWI_HODO_TRACK_2 **Store the position of particle track**

The hodoscope sub-system must store the particle track position before warn the computer that a cosmic particle has hit the VFE-PCB.

3.3.3 Functionality 3: Manage the trigger

⇒ SRS_HWI_HODO_TRIG_1 **Generate a trigger**

The hodoscope sub-system must generate a trigger signal only if a particle hits the VFE-PCB.

⇒ SRS_HWI_HODO_TRIG_2 **Control delay for acquisition trigger**

The hodoscope sub-system must generate a trigger signal with a delay of 200 ns after the particle detection.
The adjustment of this delay must have a precision adjustable from 100 ns to 300 ns with a step of 10 ns.

3.3.4 Functionality 4: Timing for device under test

⇒ SRS_HWI_BTC_TIME_1 **Generate timing for device under test**

The Bench Timing Control (BTC) has to control the timing sequence of the device under test. This timing sequence for VFE-PCB configuration is shown in the Figure 3.

3.3.5 Functionality 5: Acquire data from device under test

⇒ SRS_HWI_DATA_ACQ_1 **Acquisition sub-system**

The acquisition sub-system must implement functionality for reading 216 data on 12 channels from VFE-PCB in a time less than 1 ms.

⇒ SRS_HWI_DATA_ACQ_2 **Start acquisition on trigger**

The acquisition of all 18 data sets must start on the apparition of a particle hit, i.e. a trigger generated by the hodoscope sub-system.

⇒ SRS_SWI_DATA_ACQ_1 **Acquired data transfer**

The transfer of data should be done by a DMA access to guarantee the better data transfer rate.

3.3.6 Functionality 6: Store acquired data

⇒ SRS_SWI_STORE_ACQ_1 **Store acquired data**

The transferred data must be recorded in a file.
In this file, the following information may appear:
- ***Header: date, VFE-PCB information.***
- ***Data: ID of scintillator hit: (X_1, Y_1) and (X_2, Y_2), data from VFE-PCB.***
- ***Marker for end of file.***

In order to simplify the access of the recorded file by other applications, we can choose, for example, an text format (ASCII, ANSI or UNICODE).

3.3.7 Functionality 7: Calibration

⇒ SRS_SWI_CALIB_DEV_1 **Generate calibration commands**

The Cosmic Calibration Test Bench software must have a procedure to manage the calibration procedure of device under test.
The calibration voltage must have a precision greater than 12 bits.

3.4 System Timing Requirements

In this paragraph, we will detail all timing constraints on the Cosmic Calibration Test Bench.
The density of a cosmic particle is approximately **1** per **minute** per **cm²**.

The data rate that we have to manage is very slow: we choose to have an acquisition that is able to read 10 data each second (frequency = **10 Hz**).

4 GLOSSARY

BTC: **B**ench **T**iming **C**ontrol.
FLC: **F**uture **L**inear **C**ollider.
GUI: **G**raphic **U**ser **I**nterface.
LAL: **L**aboratoire de l'**A**ccélérateur **L**inéaire.
LLR: **L**aboratoire **L**eprince-**R**inguet.
HWI: **H**ard**W**are **I**tem.
SRS: **S**ystem **R**equirements **S**pecification.
SWI: **S**oft**W**are **I**tem.
TBD: **T**o **B**e **D**efined.
VFE: **V**ery **F**ront-end **E**lectronic.

5 ANNEXE A: USB I/O 24 MODULE

5.1 Presentation

The USBIO24 is a low-cost integrated module for the input and/or output of digital signals from a computer system by connection to the USB port.
The module features 24 x 5V level signal lines individually programmable as input or output. As the module connects to the USB port, multiple modules can be connected to a single PC by the use of a USB hub. Each module features a serial number and the PC can identify each module uniquely allowing for multiple modules to be connected for a single application.
The outputs of the module are able to source or sink up to 30mA per I/O to allow for direct connection to a variety of devices.

The USB I/O 24 Module is shown in the following picture:

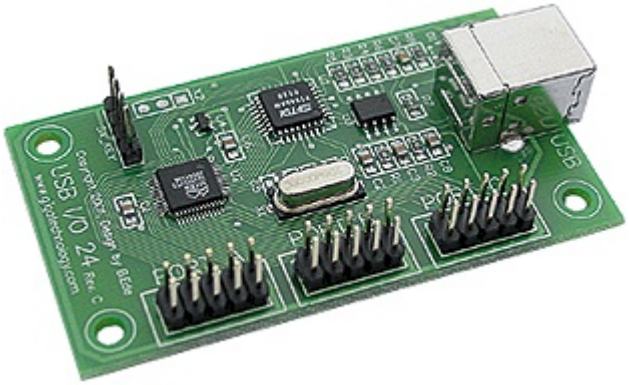


Figure 5. View of USB I/O 24 Module.

5.2 Features

The USB I/O 24 Module has the following features:

- 24 independently programmable Input / Output Pins Grouped into 3 ports,
- single module High-Speed Digital Input / Output solution,
- up to 128 modules can be connected to a single PC,
- easy to connect by 0.1” pitch headers to suit standard IDC connectors,
- integrated Type-B USB Connector,
- on-board unique serial number in EEPROM and custom programmable FLASH microcontroller,
- both USB Enumeration information and Microcontroller can be re-programmed to suit customer needs,
- module powered by the USB from the PC.

5.3 Serial Numbers

For the hodoscope sub-system, we choose: "*LLR_HODO_10*" string. For the BTC sub-system, we choose: "*LLR_BTC_10*" string.

6 ANNEXE B: USB INTERFACE FOR VFE CALIBRATION CONTROL

The VFE calibration sub-system control pins and corresponding bits are given in the following array:

Port	Bit	Pin	Direction	Control signal
Port A	-	10	-	Ground.
	0	9	Output	Internal T2 – PCB 1.
	1	8	Output	Internal T1 – PCB 1.
	2	7	Output	Channel Select 6 – PCB 1.
	3	6	Output	Channel Select 3 – PCB 1.
	4	5	Output	Channel Select 5 – PCB 1.
	5	4	Output	Channel Select 2 – PCB 1.
	6	3	Output	Channel Select 4 – PCB 1.
	7	2	Output	Channel Select 1 – PCB 1.
	-	1	-	5 volts from computer (NC).
Port B	-	10	-	Ground.
	0	9	Output	Internal T2 – PCB 2.
	1	8	Output	Internal T1 – PCB 2.
	2	7	Output	Channel Select 6 – PCB 2.
	3	6	Output	Channel Select 3 – PCB 2.
	4	5	Output	Channel Select 5 – PCB 2.
	5	4	Output	Channel Select 2 – PCB 2.
	6	3	Output	Channel Select 4 – PCB 2.
	7	2	Output	Channel Select 1 – PCB 2.
	-	1	-	5 volts from computer (NC).
Port C	-	10	-	Ground.
	0	9	Output	External T1.
	1	8	Output	Gain Switch (1 or 10) – PCB 2.
	2	7	Output	External T2.
	3	6	Output	Gain Switch (1 or 10) – PCB 1.
	4	5	Output	USB Reset.
	5	4	Output	PCB LED – PCB 2.
	6	3	Input	NC.
	7	2	Output	PCB LED – PCB 1.
	-	1	-	5 volts from computer (NC).

Array 2. ***USB I/O 24 Module Interface for Calibration sub-system.***

Legend:
NC : **N**ot **C**onnected.

7 ANNEXE C: USB INTERFACE FOR HODOSCOPE SUB-SYSTEM CONTROL

The hodoscope sub-system control pins and corresponding bits are given in the following array:

Port	Bit	Pin	Direction	Control signal
Port A	-	10	-	Ground.
	0	9	Input	Bit 8 for particle track position.
	1	8	Input	Bit 9 for particle track position.
	2	7	Input	Bit 10 for particle track position.
	3	6	Input	Bit 11 for particle track position.
	4	5	Input	Bit 12 for particle track position.
	5	4	Input	Bit 13 for particle track position.
	6	3	Input	Bit 14 for particle track position.
	7	2	Input	Bit 15 for particle track position.
	-	1	-	5 volts from computer.
Port B	-	10	-	Ground.
	0	9	Input	Bit 0 for particle track position.
	1	8	Input	Bit 1 for particle track position.
	2	7	Input	Bit 2 for particle track position.
	3	6	Input	Bit 3 for particle track position.
	4	5	Input	Bit 4 for particle track position.
	5	4	Input	Bit 5 for particle track position.
	6	3	Input	Bit 6 for particle track position.
	7	2	Input	Bit 7 for particle track position.
	-	1	-	5 volts from computer.
Port C	-	10	-	Ground.
	0	9	Output	Reset hodoscope.
	1	8	Output	Select particle track position 0.
	2	7	Output	Select particle track position 1.
	3	6	Input	Event OK.
	4	5	Input	NC.
	5	4	Input	NC.
	6	3	Input	NC.
	7	2	Input	NC.
	-	1	-	5 volts from computer.

Array 3. ***USB I/O 24 Module Interface for Hodoscope sub-system.***

Legend:
NC : Not connected.

The following array (Array 4) shows the configuration of bits to select the correct track position.

Bit 1 (Port C - pin 2)	Bit 2 (Port C - pin 3)	Data	Plane, coordinate
0	0	0 .. 15	Plane 1 – X1
0	1	16 .. 31	Plane 2 – Y1
1	0	32 .. 47	Plane 3 – X2
1	1	48 .. 63	Plane 4 – Y2

Array 4. ***Pin configuration to read part of particle track position.***

8 ANNEXE D: DIGITAL INTERFACE FOR PCB CONTROL

The acquisition sub-system digital control pins and corresponding bits are given in the following array:

PCB ID	Digital Input / Output	Direction	Type ID
1	0	Input	Type 0
	1	Input	Type 1
	2	Input	Type 2
	3	Input	Type 3
2	0	Input	Type 0
	1	Input	Type 1
	2	Input	Type 2
	3	Input	Type 3

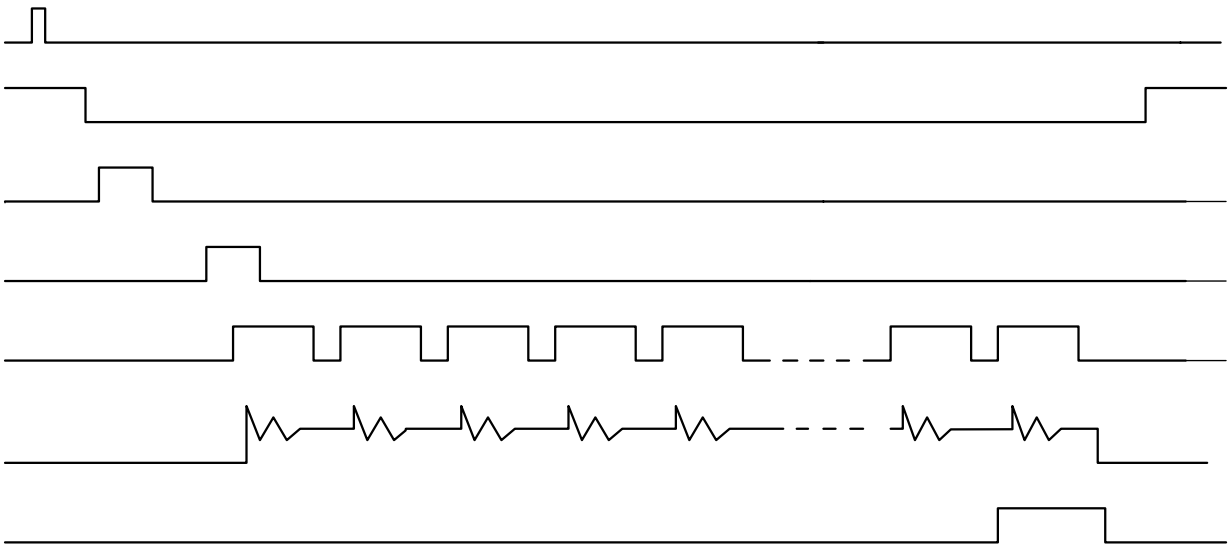
Array 5. ***Digital Interface for PCB type sub-system.***

9 ANNEXE E: TECHNICAL NOTE FOR VTC2

9.1 Préambule :

Cet ensemble sera intégré dans le banc de test cosmique pour valider les cartes PCB fabriquées au LAL.
Les cartes PCB sont équipées de circuits ASIC (VFE) et de Wafer de silicium. Elles seront installées dans le calorimètre Electromagnétique de CALICE. Les wafers de silicium représentent une matrice 6*6 pads soit 36 pixels, un PCB est équipé de 6 Wafers soit 216 pixels de détection (au total, il y a 9076 voies). Un ASIC permet de lire 18 voies donc 2 chips sont nécessaire par wafer, soit un total de 12 chips par PCB.
Ces chips suivent (tracking) les dépôts d'énergie sur les wafers et lors du passage de l'événement pertinent, un trigger commute les chips en mode de maintient et une lecture de l'ensemble des voies est effectuée. Les voies de lecture sont constituées d'ampli Shappers et la sortie multiplexée est pilotée par un ensemble de signaux numériques.
Pour une bonne immunité au bruit, les signaux analogiques multiplexés sont de type différentiel, les signaux numériques sont de type LVDS.
La contrainte en temps se situe sur le trigger et le signal de commutation (position Hold), il doit se situer entre 180 et 220ns. La lecture doit se faire sur 1ms maximum, temps nécessaire pour le maintient d'une valeur correcte sur les capacités de charge en sortie des Shappers.

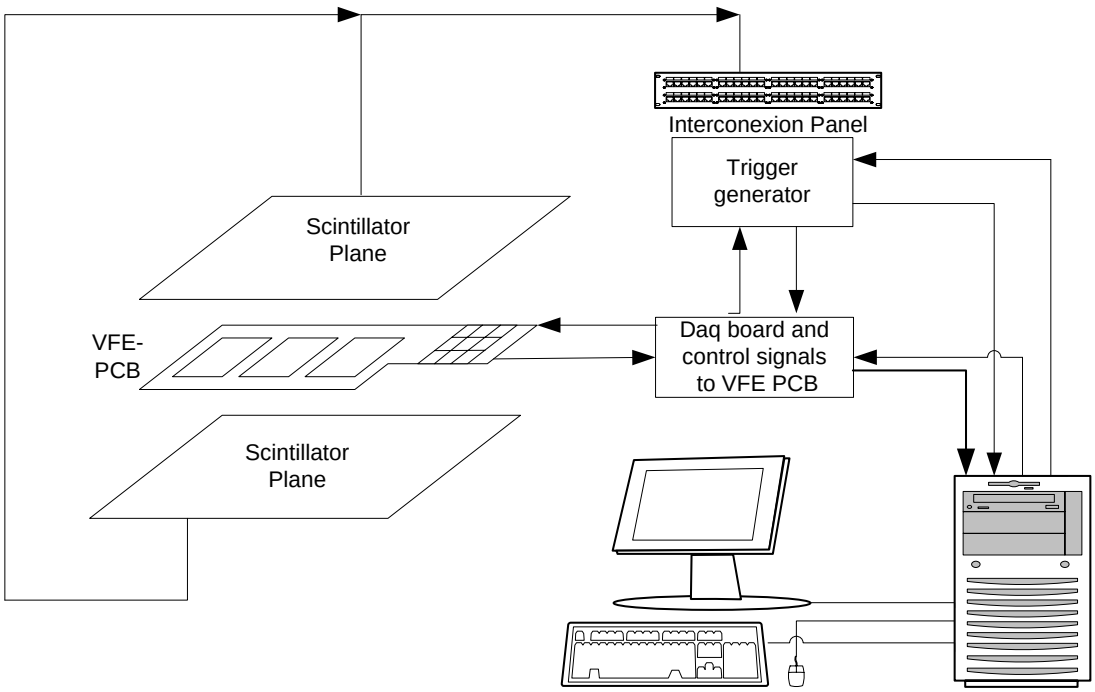
Le timing est le suivant :



Trigger

9.2 Système de tests

La validation de la production des PCB ainsi que leur calibration se font sur un banc de test cosmique. Quatre fonctions ont été implantées sur cet ensemble : scintillateurs-PM, Trigger, Générateur de commande, Acquisition.



Ce système de détection se compose de deux plans de scintillateurs associés à des photomultiplicateurs, s'il y a coïncidence temporelle entre les deux plans, un trigger est généré qui va déclencher le générateur de signaux permettant une acquisition des données.
Concernant l'acquisition, le choix s'est porté sur une solution industrielle provenant de National Instrument. La carte sélectionnée comporte :

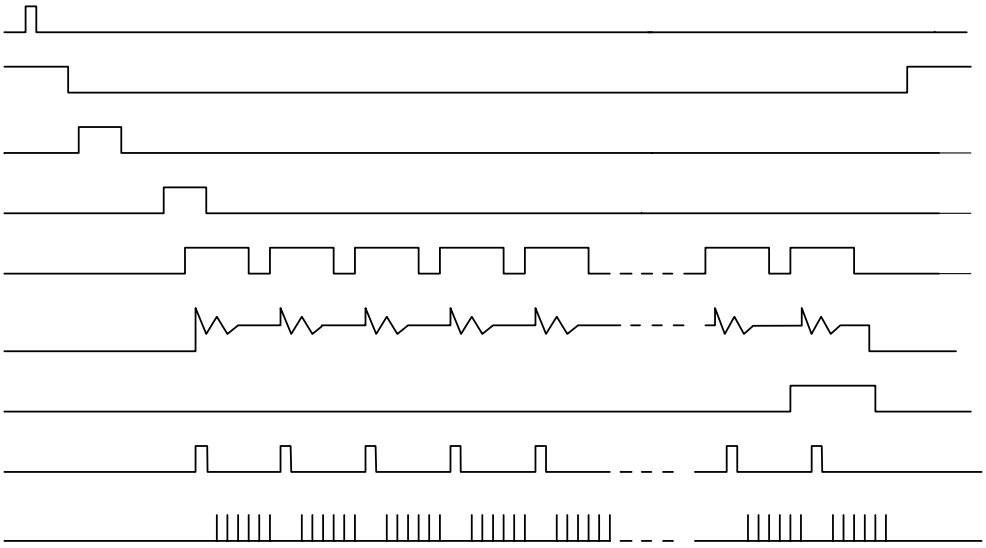
- 32 voies différentielles multiplexées et non simultanées (24 sont utilisées).
- un échantillonnage de 1.25 Mech/s à partager entre toutes les voies.
- une dynamique sur 12 bits et une interface PCI 32 bits

De ce fait, cet ensemble pourra lire 2 PCBs simultanément.
La carte générateur de signaux est conçue autour d'un circuit CPLD Xilinx, l'horloge principale de cette carte provient de la carte d'acquisition, avec possibilité de connexion d'une horloge externe. La transmission des signaux LVDS se fait au travers de translateurs de niveaux TTL.
Le slow control et la calibration de chaque chip du PCB se fait par une interface USB.
La calibration s'effectue à partir du port USB. La valeur injectée est faite à partir du DAC de sortie de la carte d'acquisition.

9.3 Détails techniques

L'échantillonnage numérique étant à la vitesse de 1.25Ms/s et que 24 voies sont à lire, la nouvelle fréquence sera de 52Ks/s, en conséquence l'acquisition d'un PCB se fera en 172.8µs soit 345.6µs pour deux PCB. (Lecture simultanée)

Le timing tenant compte de l'acquisition est le suivant :



Les signaux Reset, Input, SR_Clock sont issus d'une machine d'états fournie par le CPLD. L'horloge principale de ce circuit est de 833.3KHz provenant de la carte d'acquisition. Cette fréquence est la fréquence max pour ce système. L'entrée Input est l'état permettant de passer d'une voie à l'autre. Au 18^{éme} coup d'horloge l'état SR_OUT indique la fin de lecture d'un Chip et stoppe ainsi l'acquisition.
Une sortie auxiliaire END_CONV représente l'image de SR_OUT. Ce signal est géré par le CPLD lui-même sans contrainte externe.
Le signal SR_Hold est envoyé par le système de trigger au travers d'un translateur NIM → TTL. Le temps de conversion sera pris en compte sur le délai nécessaire au déclenchement entre un trigger et un début d'acquisition (on lit séquentiellement 18 pixels par voie).
La sortie TRIG_ACQ déclenche l'acquisition des 24 voies différentielles d'entrées. Il faut donc 18 déclenchements pour une acquisition complète.

Le slow control et la calibration sont fait par une interface USB.
La sortie T représente le trigger en mode Calibration.
La valeur analogique injectée sur les chips provient du DAC de la carte d'acquisition PCB1_Invcal (PCB2_Invcal) ou bien d'une source externe V1_In (V2_In). Dans le cas où la valeur provient du DAC, il est nécessaire de connecter un câble entre les lémos PCB1_Invcal (PCB2_Invcal) et V1_In (V2_In).

Les caractéristiques du DAC de sortie sont : Résolution sur 12 bits, génération max à 1MS/s, range de 0 à 10V ou +/-5V.

La sortie GAIN_SW (1,2) détermine le gain des Chips du PCB, à l'état haut il est de 10, à l'état bas il est de 1.

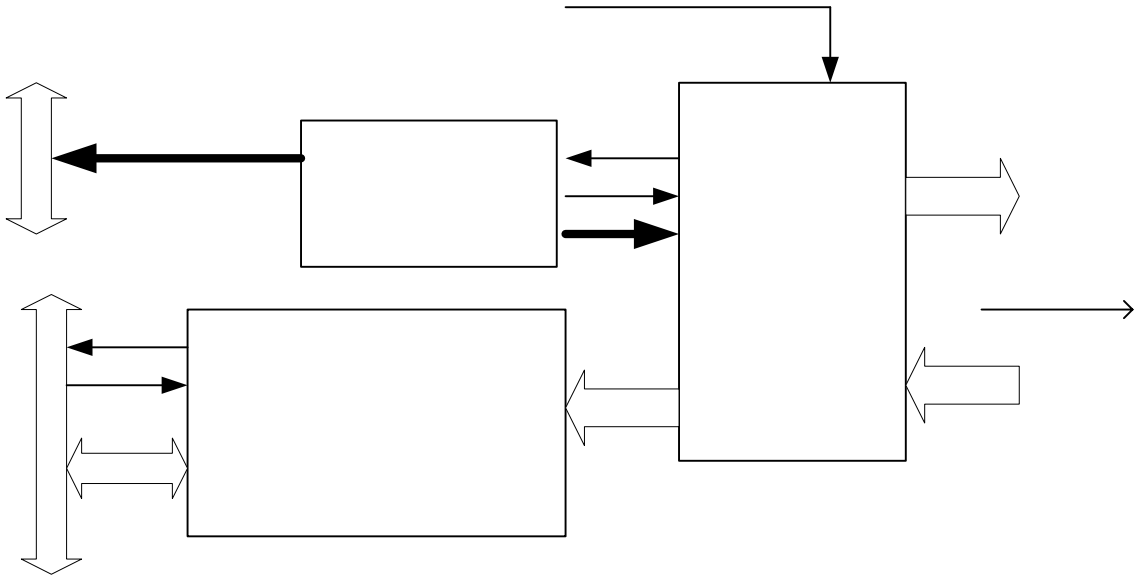
Les signaux TYPE0 (1,2) à TYPE3 (1,2) sont des indications concernant la position du PCB (1,2) (Configuration par switch sur le PCB).

Le signal ADDRESS (1,2) à l'état haut allume une Led sur le PCB (1,2) indiquant qu'une communication est possible entre le PCB et le système VTC.

9.4 Principe de fonctionnement de la calibration :

Le principe évoqué ici est valide pour un PCB, c'est le même principe pour l'autre.
La calibration s'effectue par chip VFE, les signaux CH1_IN à CH6_IN sont les Enable de chaque Chips, les signaux T1_IN et T2_IN valident la valeur injectée (VCAL) sur les Chips. Le signal de sortie T (Nim ou TTL) permet de déclencher le trigger et ainsi d'autoriser une lecture du PCB en mode calibration.
Nota : Le trigger T est aussi décalé de 180 ns à 220 ns.

Le schéma fonctionnel de l'ensemble est le suivant :



9.5 Note technique de la carte VTC2_VFE

Avant propos : La notice suivante est détaillée pour un PCB, l'explication pour deux est identique

9.5.1 Slow Control USB : carte USB 24 I/O

Port C :
- Signal **GAIN_SW** : Choix du gain à configurer sur le PCB
- Gain 1 : Pin Port à '0'
- Gain10 : Pin Port à '1'

Signal **ADDRESS** : A l'état haut, se signal permet d'allumer une LED sur le PCB indiquant que la communication PCB – VTC est possible.

USB_Reset : Reset logiciel de la carte par liaison USB.

Port A- Port B : **Calibration**

La calibration s'effectue par chip, soit 12 Chips (note d'application du LAL).
Le design est conçu pour calibrer un demi PCB ou un PCB complet.
La sortie T est le Trigger de calibration pour la lecture des PCB dans de ce mode.
La sélection des chips se fait par CH1in…CH6in représentant un chip parmi 6 ou les 6 à la fois.

Règle :
Définir la valeur de calibration Vcalib1 (Vcalib2). Celle-ci peut-être réglée de deux manières. En externe, se connecter directement sur la Lemo V1_in (V2_in). En interne, c'est-à-dire valeur réglée depuis la carte d'acquisition, connecter un câble entre V1_in (V2_in) et PCB1_Invcal (PCB2_Invcal).
Sélectionner le ou les chips à calibrer par CH1_in…CH6_in.
Lancer la validation par les signaux USB (T1, T2)
Nota : La sortie T_Nim permet de générer un trigger pour la calibration, T_TTL génère le même signal en niveau TTL.

9.5.2 Connections PCB Acquisition :

L'acquisition se fait par PCB l'un après l'autre

Type 0-3 : Se sont des états issus du PCB.

Sortie End_Conv :
La sortie End_Conv est un signal supplémentaire indiquant une fin de lecture des voies sur le PCB.

Entrée Hold :
Cette entrée reçoit le signal Hold provenant du trigger.
Elle permet de commuter l'ensemble PCB en niveau de maintient autorisant une lecture du PCB.

Système d'horloge :
Par défaut, l'horloge principale est fournie par la carte d'acquisition.

Programmation du CPLD :
Le connecteur J5 permet de connecter les signaux nécessaires pour la programmation du CPLD.

Le brochage du CPLD est détaillé dans le tableau suivant :

Désignation	Brochage	Description
EXT_T1	1	Sélection par USB de la voie de validation (externe : T1_GENE ou interne : T1_IN).
EXT_T2	2	Sélection par USB de la voie de validation (externe : T2_GENE ou interne : T2_IN).
PCB1_T1_GENE	3 Non utilisé	Entrée externe de validation pour PCB1
PCB1_T2_GENE	4 Non utilisé	Entrée externe de validation pour PCB1
T	5	Sortie pour trigger de calibration
PCB2_T1_GENE	6 Non utilisé	Entrée externe de validation pour PCB2
PCB2_T2_GENE	7 Non utilisé	Entrée externe de validation pour PCB2
GND	8	
I /O ; GCK1	9	Pin horloge externe (optionnelle)
I /O ; GCK2	10	NC
TRIG_ACQ	11	Start Scan de le carte d'acquisition (x18)
CLOCK	12	Horloge principale 833.3KHz
FORWARD_CLOCK	13	Horloge 416.6 KHz De validation de programmation CPLD
END_CONV	14	Fin de lecture de 18 voies (nécessaire si SR_OUT n'est pas disponible)
SR_CLOCK	15	Horloge des chips de front-end(multiplexeur)
GND	16	
SR_OUT1	17	Signal provenant du PCB1 indiquant la fin de lecture des 18 voies
SR_INPUT	18	Bit de sélection du premier switch des multiplexeurs de Front_End
SR_RESET	19	Reset des chip de Front_End
SR_OUT2	20	Signal provenant du PCB2 indiquant la fin de lecture des 18 voies
HOLD	21	Etat de déclenchement de lecture
5V	22	
RESET	23 Non utilisé	Reset général de la carte générateur (option)
USB_RESET	24	Reset logiciel provenant de l'USB
I/O	25,26	NC
GND	27	
TDI	28	Signal pour prog.CPLD
TMS	29	Signal pour prog.CPLD
TCK	30	Signal pour prog.CPLD
I/O	31, 32, 33, 34, 35, 36, 37, 39, 40, 41	NC
5V	38	
I/O	39	NC
I/O	40	NC
I/O	41	NC

GND	42	
I/O	43	NC
PCB2_T2_CALIB	44	Sortie signal de validation PCB2
PCB1_CH1_IN	45	Voie 1 de calibration PCB1
PCB1_CH2_IN	46	Voie 2 de calibration PCB1
PCB1_CH3_IN	47	Voie 3 de calibration PCB1
PCB1_CH4_IN	48	Voie 4 de calibration PCB1
GND	49	
PCB1_CH5_IN	50	Voie 5 de calibration PCB1
PCB1_CH6_IN	51	Voie 6 de calibration PCB1
PCB1_T1_IN	52	Entrée signal de validation PCB1 par USB
PCB1_T2-IN	53	Entrée signal de validation PCB1 par USB
PCB1_CH1_CALIB	54	Voie 1 de calibration PCB1 (idem pin 45)
PCB1_CH2_CALIB	55	Voie 2 de calibration PCB1 (idem pin 46)
PCB1_CH3_CALIB	56	Voie 3 de calibration PCB1 (idem pin 47)
PCB1_CH4_CALIB	57	Voie 4 de calibration PCB1 (idem pin 48)
PCB1_CH5_CALIB	58	Voie 5 de calibration PCB1 (idem pin 50)
TDO	59	Signal pour prog.CPLD
GND	60	
PCB1_CH6_CALIB	61	Voie 6 de calibration PCB1 (idem pin51)
PCB1_T1_CALIB	62	Sortie signal de validation PCB1
PCB1_T2_CALIB	63	Sortie signal de validation PCB1
GND	64	
PCB2_CH1_IN	65	Voie 1 de calibration PCB2
PCB2_CH2_IN	66	Voie 2 de calibration PCB2
PCB2_CH3_IN	67	Voie 3 de calibration PCB2
PCB2_CH4_IN	68	Voie 4 de calibration PCB2
PCB2_CH5_IN	69	Voie 5 de calibration PCB2
PCB2_CH6_IN	70	Voie 6 de calibration PCB2
PCB2_T1_IN	71	Entrée signal de validation PCB2 par USB
PCB2_T2-IN	72	Entrée signal de validation PCB2 par USB
5V	73	
I/O/GSR	74	NC
PCB2_CH1_CALIB	75	Voie 1 de calibration PCB2 (idem pin 65)
I/O ; GTS1	76	NC
I/O ; GTS2	77	NC
5V	78	
PCB2_CH2_CALIB	79	Voie 2 de calibration PCB2 (idem pin 66)
PCB2_CH3_CALIB	80	Voie 3 de calibration PCB2 (idem pin 67)
PCB2_CH4_CALIB	81	Voie 4 de calibration PCB (idem pin 68)
PCB2_CH5_CALIB	82	Voie 5 de calibration PCB2 (idem pin 69)
PCB2_CH6_CALIB	83	Voie 6 de calibration PCB2 (idem pin 70)

PCB2_T1_CALIB	84	Sortie signal de validation PCB2

Connecteur SCSI vers acquisition

GND	1, 2, 23, 24, 33,76
CLOCK_GEN	50
NC	19, 22, 34, 35, 36, 37, 39, 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 75, 85, 86, 87, 88, 89, 90, 91, 92, 93, 94, 95, 96, 97, 98, 99, 100
TRIG_ACQ	38
PCB1_IN_VCAL	20
PCB2_IN_VCAL	21
PCB1_CH1+	3
PCB1_CH1-	4
PCB1_CH2+	5
PCB1_CH2-	6
PCB1_CH3+	7
PCB1_CH3-	8
PCB1_CH4+	9
PCB1_CH4-	10
PCB1_CH5+	11
PCB1_CH5-	12
PCB1_CH6+	13
PCB1_CH6-	14
PCB1_CH7+	15
PCB1_CH7-	16
PCB1_CH8+	17
PCB1_CH8-	18
PCB1_CH9+	51
PCB1_CH9-	52
PCB1_CH10+	53
PCB1_CH10-	54
PCB1_CH11+	55
PCB1_CH11-	56
PCB1_CH12+	56
PCB1_CH12-	57
PCB2_CH1+	58
PCB2_CH1-	59
PCB2_CH2+	60
PCB2_CH2-	61
PCB2_CH3+	62
PCB2_CH3-	63
PCB2_CH4+	64
PCB2_CH4-	65
PCB2_CH5+	67
PCB2_CH5-	68
PCB2_CH6+	69
PCB2_CH6-	70
PCB2_CH7+	71
PCB2_CH7-	72
PCB2_CH8+	73
PCB2_CH8-	74
PCB2_CH9+	77
PCB2_CH9-	78
PCB2_CH10+	79
PCB2_CH10-	80
PCB2_CH11+	81
PCB2_CH11-	82

PCB2_CH12+	83
PCB2_CH12-	84
PCB1_TYPE0	25
PCB2_TYPE0	26
PCB1_TYPE1	27
PCB2_TYPE1	28
PCB1_TYPE2	29
PCB2_TYPE2	30
PCB1_TYPE3	31
PCB2_TYPE3	32

Connecteur SCSI vers PCB1

PCB1_CHAN1-, +	1,35
PCB1_CHAN7-, +	2,36
PCB1_CHAN2-, +	4,38
PCB1_CHAN8-, +	5,39
PCB1_SR_HOLD-, +	6, 40
PCB1_V_CALIB-, +	7, 41
PCB1_SR_INPUT-, +	8, 42
PCB1_SR-RESET-, +	9, 43
PCB1_EN_CH1-, +	10, 44
PCB1_EN_CH2-, +	11, 45
PCB1_EN_CH3-, +	12, 46
PCB1_SR_CLOCK-, +	13, 47
PCB1_CHAN3-, +	14, 48
PCB1_CHAN9-, +	15, 49
PCB1_EN_CH4-, +	16, 50
PCB1_EN_CH5-, +	17, 51
PCB1_EN_CH6-, +	18, 52
PCB1_CHAN4-, +	20, 54
PCB1_CHAN10-, +	21, 55
PCB1_SR_OUT-, +	22, 56
PCB1_ADDRESS-, +	23, 57
PCB1_GAIN_SW-, +	24, 58
PCB1_T1_CALIB-, +	25, 59
PCB1_T2_CALIB-, +	26, 60
PCB1_TYPE0-, +	27,61
PCB1_TYPE1-, +	28, 62
PCB1_TYPE2-, +	29, 63
PCB1_CHAN5-, +	30, 64
PCB1_CHAN11-, +	31, 65
PCB1_TYPE3-, +	32, 66
PCB1_CHAN6-, +	33, 67
PCB1_CHAN12-, +	34, 68
NC	3, 19, 37, 53

Connecteur SCSI vers PCB2

PCB2_CHAN1-, +	1,35
PCB2_CHAN7-, +	2,36
PCB2_CHAN2-, +	4,38
PCB2_CHAN8-, +	5,39
PCB2_SR_HOLD-, +	6, 40
PCB2_V_CALIB-, +	7, 41
PCB2_SR_INPUT-, +	8, 42
PCB2_SR-RESET-, +	9, 43
PCB2_EN_CH1-, +	10, 44
PCB2_EN_CH2-, +	11, 45
PCB2_EN_CH3-, +	12, 46
PCB2_SR_CLOCK-, +	13, 47
PCB2_CHAN3-, +	14, 48
PCB2_CHAN9-, +	15, 49
PCB2_EN_CH4-, +	16, 50
PCB2_EN_CH5-, +	17, 51
PCB2_EN_CH6-, +	18, 52
PCB2_CHAN4-, +	20, 54
PCB2_CHAN10-, +	21, 55
PCB2_SR_OUT-, +	22, 56
PCB2_ADDRESS-, +	23, 57
PCB2_GAIN_SW-, +	24, 58
PCB2_T1_CALIB-, +	25, 59
PCB2_T2_CALIB-, +	26, 60
PCB2_TYPE0-, +	27,61
PCB2_TYPE1-, +	28, 62
PCB2_TYPE2-, +	29, 63
PCB2_CHAN5-, +	30, 64
PCB2_CHAN11-, +	31, 65
PCB2_TYPE3-, +	32, 66
PCB2_CHAN6-, +	33, 67
PCB2_CHAN12-, +	34, 68
NC	3, 19, 37, 53

Correspondance des ports USB

PORT A

PCB1_CH1_IN	2	1	NC
PCB1_CH2_IN	4	3	PCB1_CH4_IN
PCB1_CH3_IN	6	5	PCB1_CH5_IN
PCB1_T1_IN	8	7	PCB1_CH6_IN
GND	10	9	PCB1_T2_IN

PORT B

PCB2_CH1_IN	2	1	NC
PCB2_CH2_IN	4	3	PCB2_CH4_IN
PCB2_CH3_IN	6	5	PCB2_CH5_IN
PCB2_T1_IN	8	7	PCB2_CH6_IN
GND	10	9	PCB2_T2_IN

PORT C

PCB1_ADDRESS	2	1	NC
PCB2_ADDRESS	4	3	NC
PCB1_GAIN_SW	6	5	USB_RESET
PCB2_GAIN_SW	8	7	EXT_T2
GND	10	9	EXT_T1

Implantation de la carte